СЕРВИЗНА ДОКУМЕНТАЦИЯ

ПЕРСОНАЛЕН КОМПЮТЪР
ПРАВЕЦ 8С

СЪДЪРЖАНИЕ

1. ОБЩИ СВЕДЕНИЯ. ТЕХНИЧЕСКИ ДАННИ. ФУНКЦИОНАЛНИ ХАРАКТЕРИСТИКИ 3
2. КОМПЛЕКТАЦИЯ 5
3. БЛОКОВА СХЕМА 6
4. ИНТЕРФЕЙСИ 9
5. ТЕХНИЧЕСКО ОПИСАНИЕ НА ФУНКЦИОНАЛНИТЕ ВЪЗЛИ 14
6. ОПИСАНИЕ НА СПЕЦИАЛИЗИРАНИТЕ ИНТЕГРАЛНИ СХЕМИ 26
7. ХАРАКТЕРНИ НЕИЗПРАВНОСТИ 47
8. ОБОРУДВАНЕ НА РАБОТНОТО МЯСТО 53
9. ПРИЛОЖЕНИЯ 54

1. ОБЩИ СВЕДЕНИЯ. ТЕХНИЧЕСКИ ДАННИ. ФУНКЦИОНАЛНИ ХАРАКТЕРИСТИКИ.

" Правец - 8С " е поредният представител от серията 8-битови компютри произвеждани от Комбината за Микропроцесорна Техника " Правец ". Както и предишните модели той е реализиран на базата на микропроцесорната серия СМ 630 (процесор СМ 630 аналог на R6502,SY6502). По този начин е постигната пълна програмна съвместимост с предишните модели. Компютърът има възможност да работи освен със стандартния монохромен монитор и с цветен монитор или цветен телевизор с RGB - вход като в графичен режим изображението е с възможност за 16 изобразявани цвята. Извежданата информация е три основни вида:

- текстова във формати:
  - ТЕКСТ40 - 24 реда по 40 символа на ред;
  - ТЕКСТ80 - 24 реда по 80 символа на ред;
- графична:
  - с ниска разрешаваща способност:
    - ГР40 - 48 реда по 40 блока на ред;
    - ГР80 - 48 реда по 80 блока на ред;
  - с висока разрешаваща способност:
    - ГР280 - 192 реда по 280 точки на ред;
    - ГР560 - 192 реда по 560 точки на ред;
- смесен - графика и текст:
  - СМ40 - 40 реда по 40 блока на ред плюс 4 реда текст;
  - СМ80 - 40 реда по 80 блока на ред плюс 4 реда текст;
  - СМ280 - 160 реда по 280 точки на ред плюс 4 реда текст;
  - СМ560 - 160 реда по 560 точки на ред плюс 4 реда текст.

Компютърът има възможност да обслужва също едно или две флопидискови устройства с обем 140 Кбайта. " Правец - 8С " притежава модерна клавиатура с 63 клавиша позволяващи въвеждането на буквена (латиница и кирилица) и цифрова информация както и на някои специални символи и знаци. Подреждането на клавиатурата за знаците от латиницата е по световно приетия стандарт за пишещи машини и компютри "QWERTY", докато кирилицата може да бъде подредена по един от стандартите "QWERTY", БДС или ГОСТ. Компютърът работи с две кодови таблици:

- 7-битова (както при "Правец - 82");
- 8-битова (главни и малки букви кирилица, главни и малки букви латиница, цифри и специални символи и знаци). Преминаването от едната към другата кодова таблица и обратно става чрез програмно управляем ключ.

Към компютърът могат да се свържат един или два лоста за управление на игри (Joystick) чрез които се въвежда аналогова и цифрова информация за управление на някои игри или други програми. За управление на външни устройства в компютъра са вградени паралелен интерфейс тип "Centronics" и асинхронен сериен интерфейс тип RS - 232C. Паралелният интерфейс е оформен за управление на принтер във 20 щифтов съединител. Асинхронният сериен интерфейс RS - 232C е разработен на основната платка но се вгражда като допълнителна услуга в сервизната организация поддържаща компютъра.

2. КОМПЛЕКТАЦИЯ.

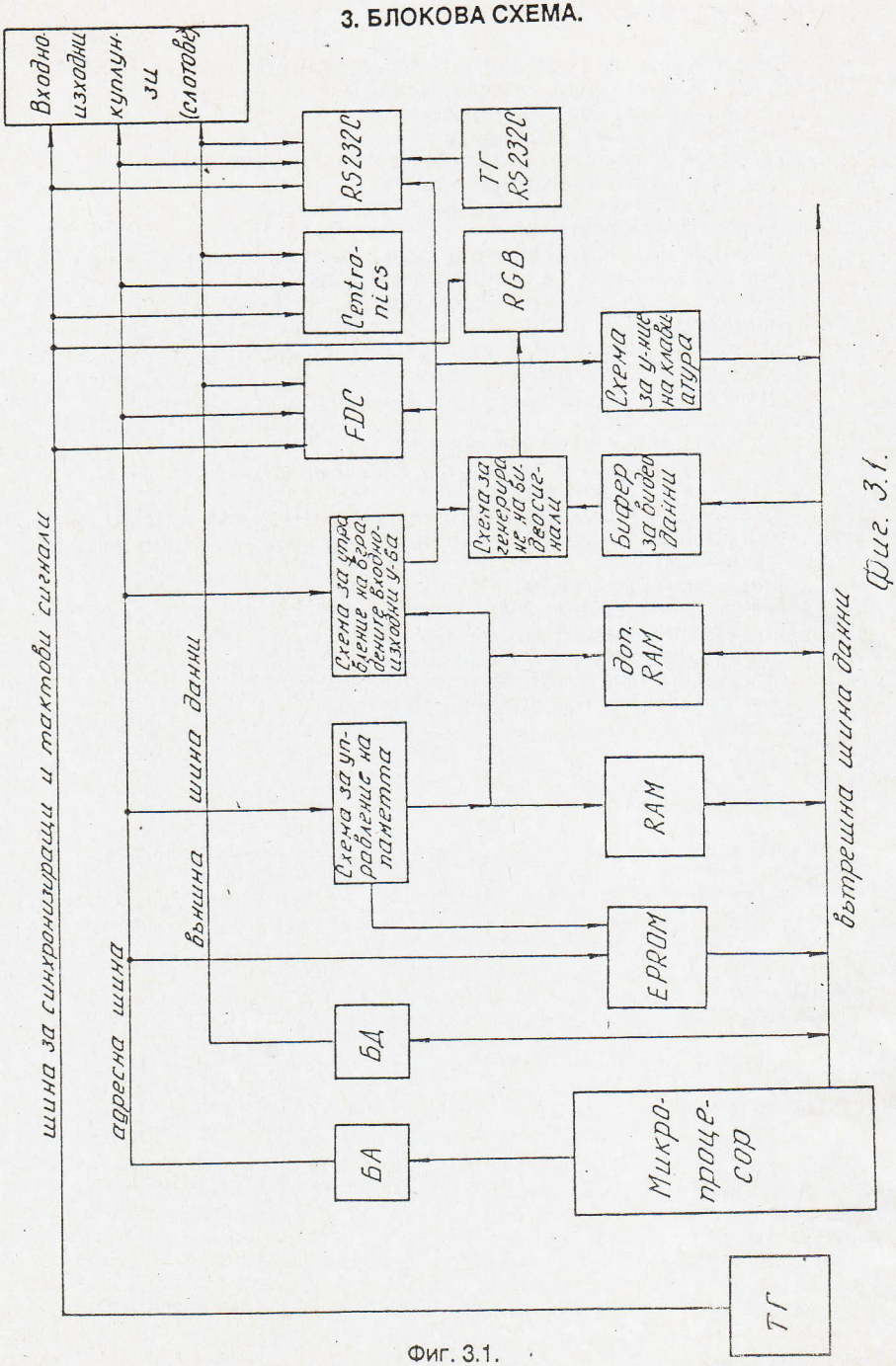
Компютърът се доставя от производителя и се продава в търговската мрежа в следната конфигурация:

- оперативна памет - 128 Кбайта;
- постоянна памет - 16 Кбайта;
- вграден флопидисков контролер за управление на две флопидискови устройства;
- вграден паралелен интерфейс "Centronics" за управление на принтер;
- вграден модул RGB за включване към компютъра на цветен монитор или телевизор с RGB вход;
- куплунг за включване на Joystick;
- клавиатура;
- едно флопидисково устройство едностранно с капацитет 140 Кбайта;
- документация:
  - паспорт;
  - техническо описание;
  - ръководство за работа с BASIC (книга);
  - DOS 3.3 (книга с дискета).

На дънната платка на компютъра е разработен и асинхронен сериен интерфейс RS - 232C, но в стандартната конфигурация липсват следните елементи:

- интегрална схема 8250 (CM 611) - D24;
- интегрална схема SN75154 - D23;
- интегрална схема SN75150 - D28;
- интегрална схема SN74LS90 - D21;
- кварцов генератор за честота 18,432 MHz - G2;
- пет резистора - R22, R24, R25, R26, R27

3. БЛОКОВА СХЕМА.



Фиг. 3.1.

- ТГ - тактов генератор. В основата му е кварцов генератор G1 с честота 14,31818 MHz от който чрез външни схеми (D11 и D14) се изработват всички синхронизиращи сигнали.

- МИКРОПРОЦЕСОР - микропроцесор СМ 630. Ще бъде подробно разгледан в т.6.1.

- БА - адресен буфер. Две интегрални схеми 74LS244 (D44 и D48) буферират адресите от микропроцесора към адресната шина. При поява на сигнал *DMA от външно устройство те преминават в трето състояние (високоимпедансно) и управлението на адресната шина се поема от външното устройство.

- БД - буфер за данни. Интегрална схема 74LS245 (D55) представляваща двупосочен буфер с три изходни състояния. Посоката на данните се определя от сигналите R/*W и F0 чрез схема 2 ИЛИ-НЕ (74LS02 - D6A).

- EPROM - постоянна памет. Две интегрални схеми 2764 (D41 и D46) които се управляват от схемата за управление на паметта СМ 631 (D42).

- схема за управление на паметта - СМ 631 (D42). Подробно е разгледана в т.6.2.

- RAM - оперативна памет 64 Кбайта. Осем интегрални схеми 4164 (D45, D47, D50, D52, D54, D57, D60, D62) управлявани от мултиплексирани адреси от СМ 631 (D42) и СМ 632 (D25), сигнали *RAS и *CAS от СМ 633 (D11) и R/*W от микропроцесора СМ 630 (D56).

- допълнителна RAM - допълнителна оперативна памет 64 Кбайта.Осем интегрални схеми 4164 (D22, D26, D27, D32, D34, D39, D40, D43) управлявани от мултиплексирани адреси от СМ 631 (D42) и СМ 632 (D25), сигнал *RAS от СМ 633 (D11), сигнал *CAS се управлява от сигнала с общо предназначение Q3 от СМ 633 (D11) и R/*W от микропроцесора СМ 630 (D56) и схемата за управление на паметта СМ 631 (D42).

- схема за управление на вградените входно-изходни устройства СМ 632 (D25). Описана в т.6.3.

- схема за генериране на видеосигнали - включва знакогенератора 2764 (D20) и осем разредния преместващ регистър 74LS166 (D17).

- БВД - буфер за видеоданни. Интегрална схема 74LS374 (D53) - буферира данните от вътрешната шина данни като адреси за знакогенератора (D20).

- схема за управление на клавиатурата. Данните постъпващи от клавиатурата KD0-KD6 се буферират от интегрална схема 74LS374 след която се включват във вътрешната шина данни. Най-старшият бит данни KD7 се обработва отделно от тригера 74LS74 (D12A) и мултиплексора 74LS251 (D15) след което също се включва в шина данни. От вторият тригер в 74LS74 (D12B) чрез запис на определен адрес ($C06X) се формира сигнала SOFTSW управляващ активната кодова таблица.

- FDC - флопи диск контролер. Представлява видоизменен познатият ни флопи диск контролер от предишните модификации на компютъра. Съдържа програма за начално зареждане записана в интегрална схема 2764 (D38), схема за преобразуване на паралелните данни в последователни и обратно чрез реверсивния осем разреден преместващ регистър 74LS323 (D16) и микропрограмен автомат включващ две схеми PROM 82S129 (D5 и D9) и интегрална схема 74LS174 (D7).

- Centronics - паралелен интерфейс. Програмата обслужваща интерфейса е записана в EPROM 2764 (D38). Данните се буферират от осем разредния регистър-памет 74LS374 (D36). Сигналите за връзка се обслужват от буфери 74LS125 (D29).

- RGB - схемата формира сигнали за цветен монитор или цветен телевизор с RGB вход. Модула включва схемите 74LS164 (D3), 74LS175 (D1) и 74LS257 (D2).

- ТГ RS-232C - тактов генератор за RS-232C. Съдържа кварцов генератор за честота 18,432 MHz (G2) и делител на честота реализиран с брояч 74LS90 (D21).

- RS-232C - сериен интерфейс. Реализиран със специализираната интегрална схема 8250 (D24) управляваща целия протокол на обмен по интерфейса, предавателите 75150 (D28) и приемниците 75154 (D23).

4. ИНТЕРФЕЙСИ.

4.1. ПАРАЛЕЛЕН ИНТЕРФЕЙС.

Паралелният интерфейс в "Правец - 8С" е от най-разпространения тип "Centronics". Той осъществява връзка между компютъра и външно устройство по единадесет проводна линия като свързването в компютъра става чрез двадесет щифтов съединител. Тези линии са следните:

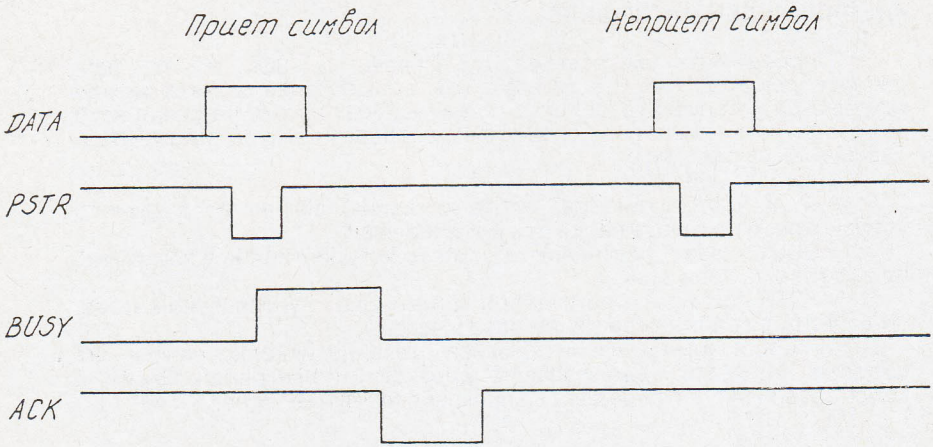
- данни - D0÷D7;
- ACK - (ACKnowledge - потвърждение) сигнал от външното устройство, че данните са приети и очаква нови.
- BUSY - (зает) - сигнал от външното устройство, че е заето (т.е. не е готово за нови данни).
- PSTR - сигнал от компютъра към външното устройство затова, че данните са валидни за въвеждане в него.

Инициализацията на интерфейса става по няколко начина. От средата на BASIC това става в директен и програмен режим с командата PR#1, а от средата на програма МОНИТОР чрез:

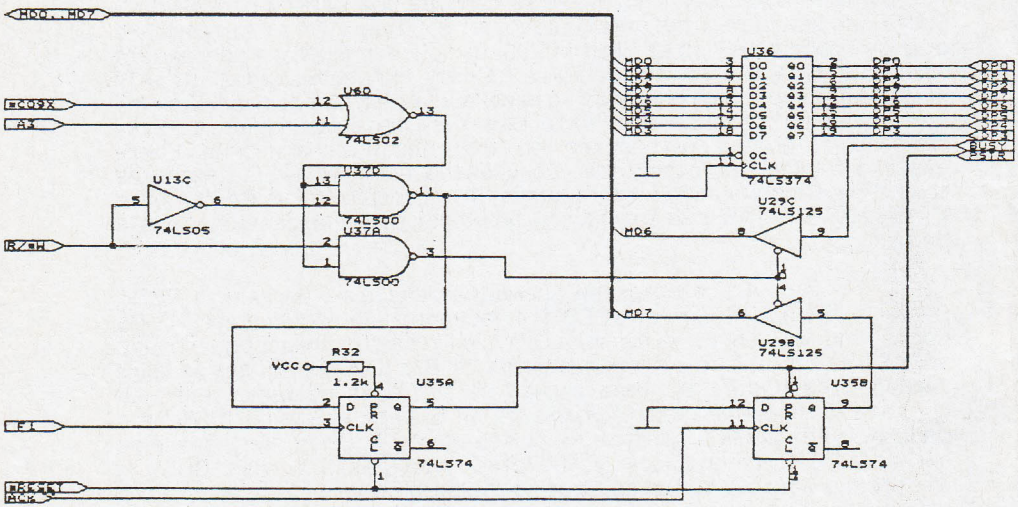
1. 1 CTRL-P или
2. C100G.

Изпълнението на която и да е от тези операции предизвиква появата на ниско логическо ниво (лог. "0") на извод 4 на интегрална схема 74LS20 (D30) което води до прехвърляне на сигнал с високо логическо ниво (лог. "1") на извод 10 на 74LS00 (D19). По този начин на извод 8 на D19, а оттам и на извод 22 (*OE) на 2764 (D38) се подава тактовата поредица F1 която при ниско логическо ниво разрешава изходите на D38. Това състояние се запазва при адреси от $C100 до $C1FF (на които съответстват адреси от $100 до $1FF от вътрешното адресно пространство на EPROM D38) на които е записана програмата за инициализация на интерфейса. След инициализацията цялата информация която се извежда на екрана на монитора се извежда и на изхода на интерфейса. Тъй като към този интерфейс най-често се свързва печатащо устройство то има някой ограничения които зависят от самото устройство. Обикновено то не може да отпечатва графична информация и не изпълнява някои оператори на BASIC - като VTAB, HTAB и TAB със стойности по-малки от използваните вече в реда.

На фиг. 4.1. е показана времедиаграмата на сигналите PSTR, Данни, BUSY и ACK. Сигналът PSTR е нормално в състояние лог. "1". По време на цикъл запис на сигнала R/*W, тактуван от микропроцесорния такт F1 на извод 5 на интегрална схема 74LS74 (D35) се подава за 0.5μs сигнал с ниво лог. "0". Този сигнал се получава приблизително по средата на периода, когато изходите на буфера за данни (D36) са в работно състояние и данните на тях са валидни. След получаване на сигнала PSTR печатащото устройство установява сигнал BUSY в състояние лог. "1", които се чете по линия MD6 на шина данни. След отпечатване на символа от печатащото устройство се изпраща сигнал ACK. Той предизвиква установяване в състояние лог. "0" сигнала на извод 9 на D35. Това състояние се прочита от процесора по линия MD7 на шина данни. След появата на сигнал ACK сигнал BUSY преминава също в състояние лог. "0". Това е указание за готовноста на печатащото устройство да приеме следващия символ.


Приет символ
Неприет символ
DATA
PSTR
BUSY
ACK

Фиг. 4.1.


HD0..HD7
U36
74LS374
U29C
74LS125
U29B
74LS125
U60
74LS02
U13C
74LS05
U37D
U37A
74LS00
R32
1.2K
U35A
U35B
74LS74
VCC

Фиг. 4.1.

4.2. СЕРИЕН ИНТЕРФЕЙС.

Свързването на компютъра с външни устройства, модеми или големи ЕИМ се осъществява с помощта на сериен асинхронен интерфейс. Най-голямо разпространение е получил интерфейса С2. Той е известен с множество наименования - препоръка CCITT V.24, ГОСТ 18145-81 или най-разпространеното от тях RS-232C, което ще използваме в по-нататъшното изложение.

Асинхронните интерфейси са външно програмируеми - устройства. С помощта на външни сигнали те се конфигурират за работа в необходимия режим. Някои от основните параметри които се задават външно са следните:

- дължина на символа - 5, 6, 7 или 8 бита;
- брой стопови битове - 1, 1.5 или 2 бита;
- контрол четност/нечетност или липса на контрол;
- скорост на предаване - от 50 до 9600 бит/секунда и др.

Основните сигнали които се използват в серийния интерфейс са следните:

1. DTR - Data Terminal Ready - сигнал от компютъра към външното устройство за установяване на връзка с него.
2. TxD - Transmited Data - предавани данни.
3. RxD - Received Data - приемани данни.
4. CTS - Clear to Send - сигнал, че външното устройство е готово да приема.
5. DSR - Data Set Ready - сигнал, че външното устройство е готово да предава.
6. GND - Ground - сигнална маса (земя).
7. RTS - Request to Send - заявка за предаване от компютъра към външното устройство.
8. CD - Carrier Directed - сигнал от модема, че е открита носеща честота.

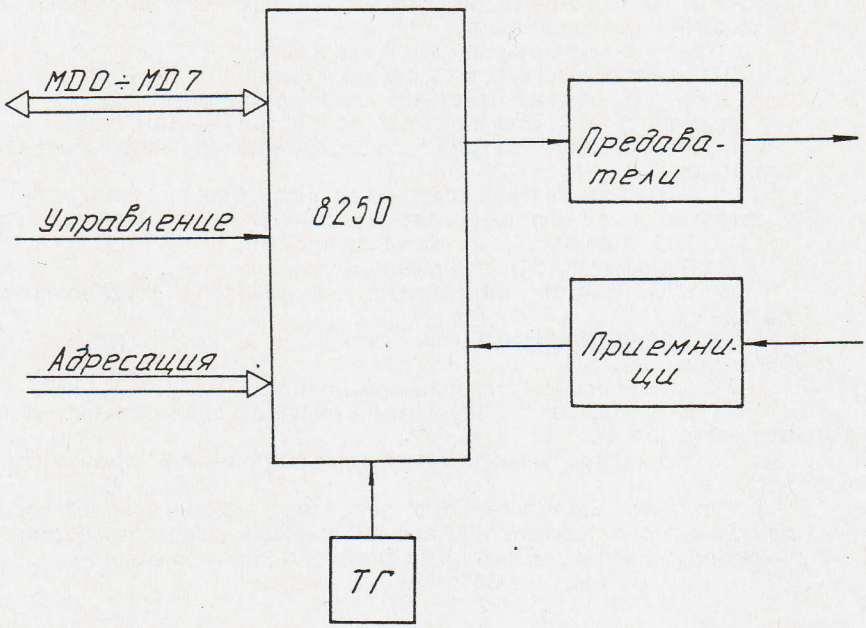
Първите шест сигнала се използват в "Правец - 8С" като са изведени в съединител тип Cannon-9 и/или шест щифтов съединител. Съответствието на сигналите на двата съединителя е следното:

Сигнал	Cannon-9	6 щифтов
DTR	2	2
TxD	3	4
RxD	4	5
CTS	7	3
DSR	9	6
GND	1	1

В основата на асинхронния интерфейс в "Правец - 8С" е голямата специализирана интегрална схема 8250. Към нея са свързани външен тактов генератор с честота на импулсите 1.8432 MHz, приемници, предаватели, управление и адресен дешифратор. Опростена схема на интерфейса е показана на фиг. 4.2.

Специализираната интегрална схема 8250 (D24) ще бъде описана подробно в т.6.6. Предавателите са реализирани с интегрална схема 75150 (D28), която съдържа два предавателя на линия, а приемниците - с интегрална схема 75154 (D23), която съдържа четири приемника. Тактовия генератор за RS-232C е реализиран с кварцов генератор G2 с честота 18.432 MHz и брояча 74LS90, който дели тази импулсна поредица на десет, за да се получи тактова честота 1.8432 MHz подавана на 8250. Адресирането става чрез адресни линии A0÷A2, докато A3 и $C09X се използват

за избор на чипа. Така се получават осем последователни адреса от $C098 до $C09F чрез които се осъществява адресирането на програмно достъпните регистри на 8250. При генериране на адрес $C90X активно ниво (лог. "0") се подава на CS2, но чипа не е избран. За да стане това е необходимо A3 да е в състояние лог. "1". Тогава се подава активно ниво (лог. "1") на CS0 и CS1. При това положение чипа е избран и в зависимост от състоянието на адреси A0, A1 и A2 се избират отделните регистри в 8250. Когато на извод 21 на 8250 сигнала *DISTR е лог. "0", то е възможно прочитането на данни или състояние от 8250, докато при

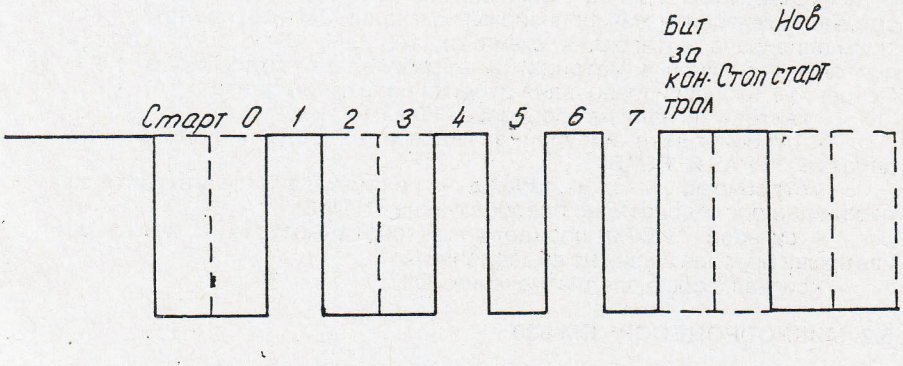


Фиг. 4.2.

лог. "0" на *DOSTR (извод 18 на 8250) е възможен запис на данни или команди към 8250 в регистрите му. И двата сигнала (*DISTR и *DOSTR) са нормално в състояние лог. "1", като преминават в лог. "0" по сигнали *R/*W и MR/*W, буферирани с повторители 74LS125 (D58) които пропускат сигналите при лог. "0" на тактовата поредица F1.

Изходният сигнал SOUT (извод 11 на 8250) съдържа последователноста от данни за предаване. Те се преобразуват до съответните нива (в интервала от +12V до -12V) от предавателя на линия 75150 и от изхода му се получава сигнала TXD. Изходния сигнал *DTR (извод 33 на 8250) указва готовност за комуникация и се подава също на предавателя на линия за обработка, след което се получава сигнал DTR. Общото нулиране (чрез MR (Master Reset) на извод 35 на 8250) установява тези два сигнала в неактивно състояние - лог. "1". Трите входни сигнала RXD, CTS и DSR се преобразуват до TTL нива в приемника на линия 75154. От изходите на приемника те съответно постъпват на

входовете на 8250 SIN, *CTS и *DSR. Вход SIN (извод 10 на 8250) е вход за последователни данни. На вход *CTS (извод 36 на 8250) се подава сигнал, който указва че приемника е готов за работа. Състоянието на *CTS се отразява в бит 4 (CTS) на регистъра за състоянието на модема (MSR), а бит 0 (DCTS) на същия регистър съдържа информация за промяна състоянието на сигнала CTS. Съдържанието на регистър MSR може да бъде прочетено на адрес $C09E. При промяна състоянието на сигнал CTS се генерира прекъсване и изходния сигнал INTRPT (извод 30 на 8250) се установява в активно ниво (лог. "1"), което чрез инвертора 74LS05 (D13) се подава на вход *IRQ на микропроцесора СМ 630. Третият входен сигнал *DSR (извод 37 на 8250) информира, че връзката е осъществена и модема или външното устройство е готово за предаване на данни. Активното ниво на този сигнал е лог. "1". Състоянието на *DSR се следи в бит 5 (DSR) на регистъра за състоянието на модема (MSR), а бит 1 (DDSR) на същия регистър съдържа информация за промяна състоянието на сигнала DSR. При наличие на промяна се генерира прекъсване както при сигнал CTS.



Фиг. 4.3.

На фиг. 4.3. е показано примерно съдържание на пакет предавана/приемана информация. Периода Т зависи от скоростта на обмена (която както и броя на информационните и стоповите битове се определя програмно).

5. ТЕХНИЧЕСКО ОПИСАНИЕ НА ФУНКЦИОНАЛНИТЕ ВЪЗЛИ.

Техническото описание ще бъде направено съгласно блоковата схема в т.2. като тук няма да разглеждаме повторно възлите от предишната точка 4 (а именно Centronics, ТГ RS-232C и RS-232C). По малко внимание ще се обърне и на блоковете съдържащи сппециализирани интегрални схеми, тъй като последните са описани отделно в точка 6.

5.1. ТАКТОВ ГЕНЕРАТОР.

Тактовият генератор, чиято принципна схема е дадена на фиг.5.1. е изпълнен с кварцов генератор G1 с честота 14.31818MHz и двоиния JK-тригер 74F109 (D14). На изхода на кварцовия генератор се получава поредица от правоъгълни импулси с посочената честота. Тя се дели на две, последователно от двата JK-тригера съдържащи се в D14. Така се получават трите основни тактови сигнала 14M, 7M и 3.58M от които чрез интегрална схема СМ 633 (D11) се изработват всички останали тактови и синхронизиращи сигнали. СМ 633 представлява специализирана интегрална схема от тип HAL (Hard Array Logic - постоянна логическа матрица) и е разгледана подробно в т.6.4. Основните сигнали изработвани от матрицата са следните:

- тактови сигнали на процесора - F0 и F1;
- стробиращите импулси за адреса на реда и колоната на паметта - *PRAS и *PCAS;
- стробиращ сигнал за зареждане на видеоданните в схемата за паралелно-последователно преобразуване - *LDPS;
- сигнала *VID7M определя тактовата честота с която се извършва преобразуване на видеоданните;
- сигнал с общо предназначение - Q3.

5.2. МИКРОПРОЦЕСОР - СМ 630.

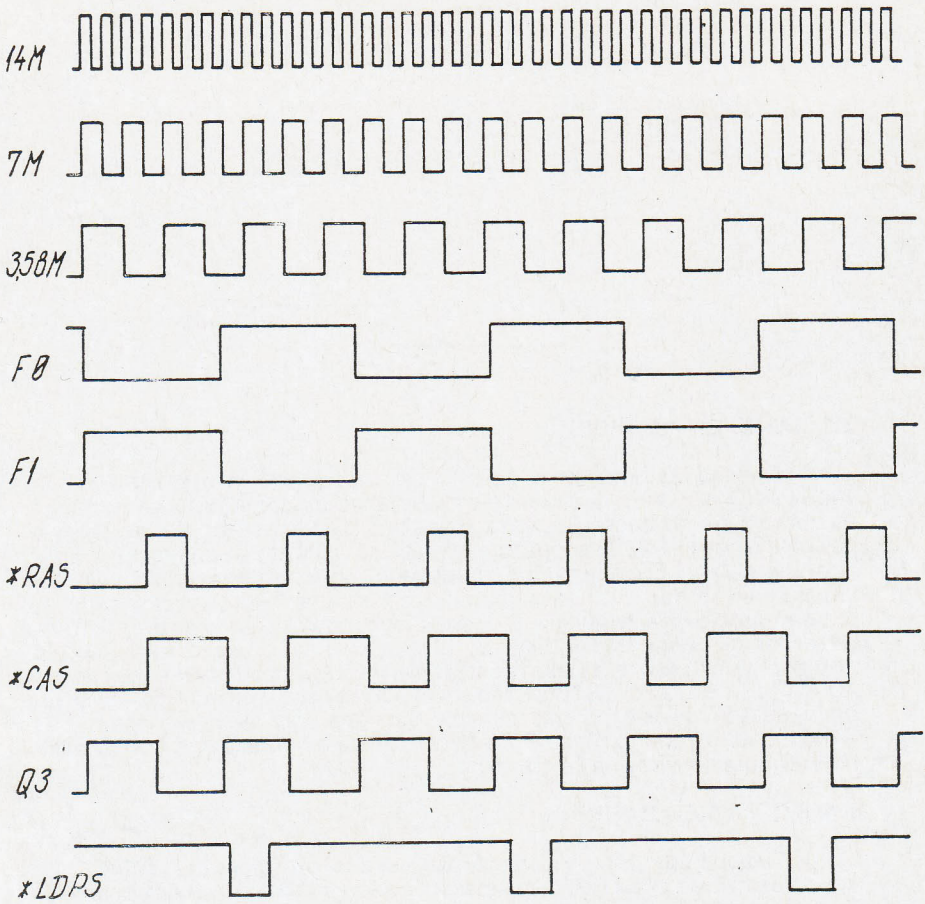
Микропроцесорът е СМ 630 (аналог на SY6502 и R6502) и подробно ще бъде описан в т.6.1.

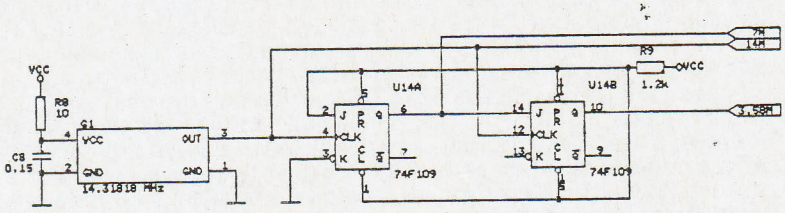
На фиг.5.2. е показано опростено свързване на микропроцесора. Входните сигнали за микропроцесора са следните:

- F0 - тактов сигнал с честота 1.022727MHz изработен от СМ 633 чрез делене на основния сигнал 14M на 14;
- RDY, *NMI и *IRQ са от контролерите и входно-изходните устройства;
- *RESET - изработва се от клавиатурата.

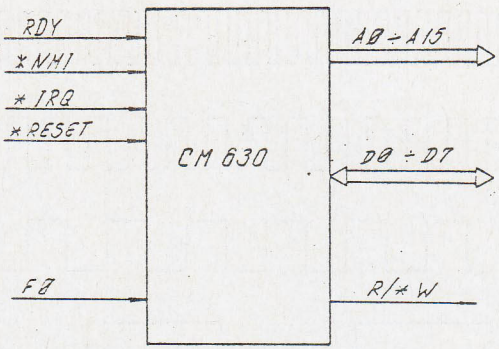
Изходните сигнали са както следва:

- A0÷A15 - адреси които след буфериране представляват адресната шина;
- D0÷D7 - са включени към вътрешната шина данни която чрез буфер е отделена от външната шина данни;
- R/*W - след буфериране на този сигнал се получават сигналите R/*W и MR/*W за управление четенето и записа в системната и допълнителната оперативна памет, както и на някои входно-изходни устройства.


14M
7M
3.58M
F0
F1
*RAS
*CAS
Q3
*LDPS


VCC
R8
10
C8
0.15
G1
VCC
GND
OUT
GND
14.31818 MHz
U14A
U14B
74F109
74F109
R9
1.2K
VCC
7M
14M
3.58M

Фиг. 5.1.



Фиг.5.2.

5.3. БА - БУФЕР АДРЕСИ.

Буфера за адреси е реализиран чрез две интегрални схеми 74LS244 (D44 и D48). Сигналите от микропроцесора A0÷A15 се подават на две групи по осем. Първата съдържа сигналите от A0 до A7 и е свързана към D48, а втората - от A8 до A15 е свързана към D44. Изходите на буферите са свързани към адресната шина, а управлението им е в зависимост от сигнала *DMA постъпващ от входно-изходните куплунзи. В нормално състояние на изводи 1 и 19 на интегрални схеми D44 и D48 се подава сигнал с ниско ниво, който поддържа буферите в работно състояние. При получаване на сигнал *DMA от външно устройство, изходите на адресните буфери преминават в трето състояние, блокира се входния такт на микропроцесора и сигнала R/*W. По този начин външното устройство поема управлението на компютъра.

5.4. БД - БУФЕР ДАННИ.

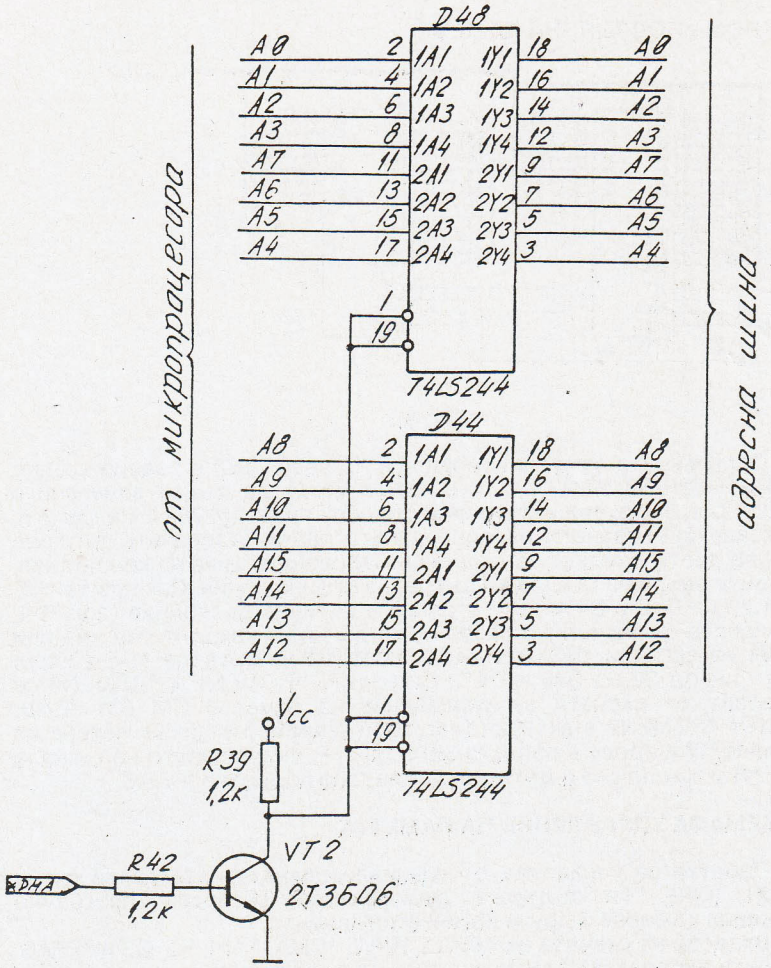
Буфера за данни е реализиран чрез интегрална схема 74LS245, която съдържа осем неинвертиращи буфера с три изходни състояния. Буфера е свързан между вътрешната и външната шина данни и служи за обмен на данни между двете шини. Посоката на данните се определя от двата входа G и DIR (съответно на изводи 19 и 1). Когато на вход G е подадено високо ниво (т.е. едновременно сигналите R/*W и F0 са с ниско ниво), изходите се намират във високоимпедансно състояние. Когато на вход G имаме ниско ниво, то посоката на данните се определя от сигнала на вход DIR (респективно от сигнала R/*W245 изработван от СМ 631), при ниско ниво от B към A, а при високо ниво от A към B. Страна B е свързана към вътрешната шина, а страна A към външната шина данни. При четене буфера е винаги отворен, докато при запис е необходимо тактовата поредица F0 да е с високо ниво, за да е възможен запис в устройствата свързани към външната шина.

Освен този буфер към вътрешната шина данни са включени още буфери:

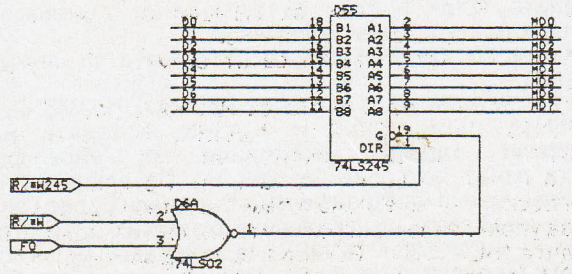
- на клавиатурата (D18);
- на генератора на видеосигнали (D53);
- на допълнителната RAM;

и интегрални схеми:

- EPROM;
- RAM.

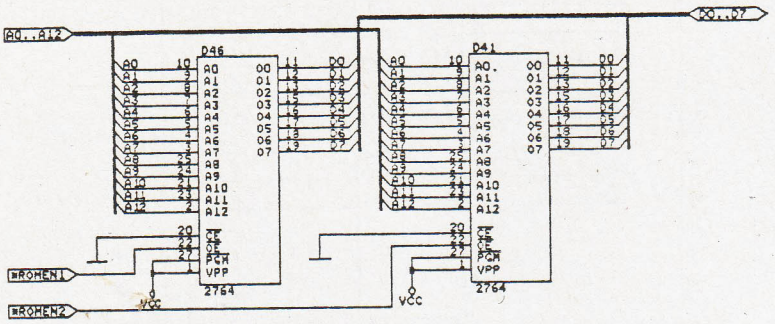

D48
A0
A1
A2
A3
A7
A6
A5
A4
1A1
1A2
1A3
1A4
2A1
2A2
2A3
2A4
1Y1
1Y2
1Y3
1Y4
2Y1
2Y2
2Y3
2Y4
T4LS244
D44
A8
A9
A10
A11
A15
A14
A13
A12
T4LS244
от микропроцесора
адресна шина
Vcc
R39
1,2k
VT2
2T3606
R42
1,2k
DHA

Фиг. 5.3.


D55
74LS245
DIR
R/WH245
R/WH
FQ
D6A
74LS02

Фиг. 5.4.

5.5. EPROM - ПОСТОЯННА ПАМЕТ



Фиг. 5.5.

Постоянната памет в компютъра "Правец - 8С" е реализирана с две схеми EPROM 2764 (D41 и D46). Те могат да бъдат заменени с масково програмируеми интегрални схеми от вида СМ 7864. На фиг.5.5. е показано свързването на постоянната памет. Адресните входове A0÷A12 на двете схеми са свързани към адресната шина на компютъра, а изходите за данни D0÷D7 към вътрешната шина данни. Сигналите *CE (извод 20 на D46 и D41) са постоянно в активно състояние (лог. "0"), т.е. чиповете са постоянно избрани, но данни на изходите им има при наличие на сигнали *ROMEN1 или *ROMEN2 на входове *OE (Output Enable - извод 22 на D46 и D41). Сигналите *ROMEN1 и *ROMEN2 се изработват от схемата за управление на паметта СМ 631 (D42). Сигналът *ROMEN2 е активен (лог. "0") по време на цикъл четене на сигнала R/*W и адрес в областта $E000÷$FFFF. Формирането на сигнала *ROMEN1 е по-сложно и ще бъде разгледано подробно в т.5.6.

5.6. СХЕМА ЗА УПРАВЛЕНИЕ НА ПАМЕТТА.

Паметта се управлява от специализираната интегрална схема СМ 631 (D42). Тя съдържа дешифратори, регистри, програмно управляеми ключове и други логически елементи.

Входове на схемата са A0÷A15, R/*W, *DMA, *INH, F0, Q3 и *PRAS. Адресните входове A0÷A15 са свързани с адресната шина и са адреси от процесора или от външно устройство (при активен сигнал *DMA).

Сигнала R/*W е сигнал от процесора буфериран от повторителя 74LS125 или от външно устройство (при активен сигнал *DMA).

Сигналите *DMA и *INH са сигнали от външни устройства включени във входно-изходните куплунзи.

Сигналите F0, Q3 и *PRAS са от схемата за синхронизиращи сигнали СМ 633.

Изходни сигнали на схемата са RA0÷RA7, *ROMEN2, *ROMEN1, R/*W245, *EN80, *KBD, CXXX и *CASEN. Изходите RA0÷RA7 са мултиплексирани адреси, необходими за адресирането на оперативната памет по време на такт F0. По време на такт F1 се извършва опресняване на екрана и паметта и тези адреси се генерират от схемата за управление на вградените входно-изходни устройства.

Изходите *ROMEN2 и *ROMEN1 са за управление на постоянната памет EPROM (съответно за D41 и D46). За да се изработват тези сигнали е необходимо сигнала *INH от

входно-изходните куплунзи да е в неактивно състояние (лог. "1"). Сигналът *ROMEN2 е активен (лог. "0") през време на цикъл четене и адрес в областа $E000÷$FFFF. Сигналът *ROMEN1 се образува по същия начин за областа от адреси $D000÷$DFFF, а за областа от адреси $C100÷$CFFF зависи от програмно управляемите ключове ПСХРОМ и ПС3РОМ. Той се образува по следния начин:

- $C100÷$C2FF - ключ ПСХРОМ е изключен;
- $C300÷$C3FF - ключове ПСХРОМ и ПС3РОМ са изключени;
- $C400÷$C7FF - ключ ПСХРОМ е изключен;
- $C800÷$CFFF - ключ ПС3РОМ е изключен, извършено е обръщение към областа $C300÷$C3FF и не е издаван адрес $CFFF.

Сигналът R/*W245 определя посоката на данните в буфера 74LS245 (D55). Неговото ниво зависи от това дали адресираното устройство е на вътрешната или на външната шина данни.

Сигналът *EN80 е за управление на допълнителната оперативна памет. При активно ниво (лог. "0") се разрешава работата на повторителя 74LS125 (D58) и сигнала R/*W достига до допълнителната оперативна памет. Освен това се подава лог. "0" на вход G (извод 19 на 74LS245 - D59) на буфера за данни от допълнителната оперативна
памет, с което се разрешава преминаването на данни в двете посоки през него в зависимост от сигнала R/*W.

Сигналът *KBD се използва за управление на буфера за данни от клавиатурата 74LS374 (D18).

Сигналът CXXX с активно ниво лог. "1" се изработва при обръщение към адрес в областа $C000÷$CFFF. Той се използва за формиране на сигнала *I/O STB изведен на входно-изходните куплунзи и използван при управление на флопи диск контролера и интерфейсите. Освен това сигнала CXXX разрешава работата на дешифратора 74LS138 (D51) които изработва сигналите *C0XX, *C1XX, *C2XX, *I/O SEL4, *I/O SEL5, *C6XX и *I/O SEL7.

Сигналът *CASEN разрешава изработването на сигнал *PCAS от СМ 633, необходим за достъп до основната оперативна памет.

5.7. RAM - ОСНОВНА ОПЕРАТИВНА ПАМЕТ

Състои се от осем динамични памети 4164 с организация 64Kx1 бита като по този начин се формира памет с обем 64 Кбайта. Обикновенно времето за достъп на динамичните памети е 0.2ms. Тъй като се използват динамични памети е необходимо опресняване на информацията в тях на всеки 2ms. Опресняването на оперативната памет става по време на процесорния цикъл F1, когато се опреснява и екрана. През цикъла за опресняване мултиплексираните адреси RA0÷RA7 се изработват от схемата за управление на вградените входно-изходни устройства СМ 632. Процесорът има достъп до оперативната памет по време на такта F0. Тогава мултиплексираните адреси RA0÷RA7 се изработват от схемата за управление на паметта СМ 631. Другите сигнали необходими за работа на паметта *RAS и *CAS се изработват от схемата за синхронизиращи импулси СМ 633, а сигнала MR/*W се получава след буфериране на сигнала R/*W.

5.8. ДОПЪЛНИТЕЛНА RAM - допълнителна оперативна памет.

Тя е изградена по същия начин и е от същия тип както и основната оперативна памет. Достъпа до нея се осъществява чрез мултиплексираните адреси RA0÷RA7, сигнал *RAS, вместо сигнал *CAS се използва сигнала с общо предназначение Q3, а сигнала R/*W80 се получава от R/*W разрешаван от *EN80.

5.9. СХЕМА ЗА УПРАВЛЕНИЕ НА ВГРАДЕНИТЕ ВХОДНО-ИЗХОДНИ УСТРОЙСТВА.

Управлението на вградените входно-изходни устройства се осъществява от специализираната интегрална схема СМ 632 (D25). Тя също като СМ 631 съдържа програмно управляеми ключове като част от тях се дублират в двете схеми.

Входни сигнали за схемата са R/*W, *C0XX, F0, Q3, *PRAS, *RESET, AKD, STROBE и A6.

Сигналът R/*W е буфериран сигнал от микропроцесора.

Сигналът *C0XX се получава от интегрална схема D51 (74LS138) след дешифриране на адрес в областа $C000÷$C0FF по време на процесорния такт F0.

Сигналите F0, Q3 и *PRAS са синхронизиращи сигнали от СМ 633, а A6 е адрес A6 от адреснатa шина.

Сигналите *RESET, AKD и STROBE се изработват от клавиатурата. *RESET се използва за начално установяване на системата. Двата останали сигнала AKD и STROBE в зависимост от състоянието си определят дали е натиснат клавиш и дали е задържан (автоматично повторение на натиснатия клавиш).

Мултиплексираните адреси RA0÷RA7 са входно-изходни сигнали. По време на цикъл F0 от тях се четат адреси, а по време на цикъл F1 на тях се извеждат мултиплексирани
адреси за опресняване на паметта.

Изходни сигнали са *WNDW, SEGA, SEGB, VC, *RA9, *RA10, GR, SPKR, SYNC, AN0÷AN3, 80VID, H0 и *CLRG.

Сигналът *WNDW се подава на извод 22 на знакогенератора D20 като управлява изходите му. Активен е по време на обратния ход на лъча като забранява постъпването на видеоданните в смесителя.

Трите сигнала SEGA, SEGB и VC се подават съответно на адреси A0, A1 и A2 на знакогенератора и участват във формирането на изобразяваните данни.

Двата сигнала *RA9 и *RA10 се подават на адреси A9 и A10 на знакогенератора D20 и определят вида на изображението в текстов режим (нормално или инверсно), а в графичен режим повтарят състоянието на видеоданните по линии VD6 и VD7.

Сигналът GR е активен когато компютърът е в графичен режим. Той се използва за адрес A11 на знакогенератора D20 и при формирането на сигналите R, G, B и LUM в блок RGB.

Сигналът SPKR е за управление на високоговорителя. Той се подава на двутранзисторен усилвател, след който е включен високоговорителя.

Сигналът SYNC представлява смес от редови, кадрови и гасящи синхроимпулси които се подават на видеосмесителя за получаване на комплексен видеосигнал. Освен това той е изведен и на куплунга за включване на RGB монитор.

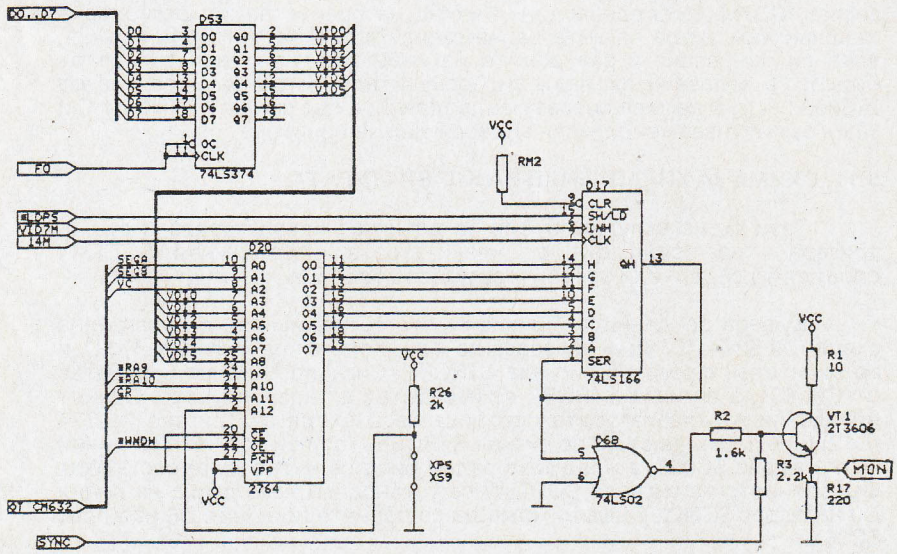
Сигналите AN0÷AN3 представляват четири цифрови изхода изведени на куплунга за Joystick.

Сигналът 80VID разрешава режимите с двойна разделителна способност - ТЕКСТ80, ГР80 и ГР560.

Сигналът H0 представлява младшия бит на брояча, определящ хоризонталната позиция на символа върху екрана.

Сигналът *CLRG не се използва в компютъра "Правец - 8С". Той се използва при схеми на видеосмесители в които се формира комплексен видеосигнал по система NTSC.

5.10. СХЕМА ЗА ГЕНЕРИРАНЕ НА ВИДЕОСИГНАЛИ И БУФЕР ЗА ВИДЕОДАННИ.



Фиг. 5.6.

В схемата за генериране на видеосигнали се използуват сигналите VID7M, *LDPS и F0 от интегрална схема СМ 633 и сигнал 14M от тактовия генератор. Пътя на сигнала за формиране на видеосигнал е следният:

- вътрешна шина данни;
- буфера за видеоданни;
- знакогенератора;
- преобразувател на видеоданните от паралелен в последователен вид;
- буфер за видеосигнала (интегралната схема 74LS02 (D6));
- видеосмесител.

Буферът за видеоданните е реализиран с интегрална схема 74LS374 (D53). Той разделя вътрешната шина данни от шината за видеоданни. Информацията се въвежда в буфера по предния фронт на сигнала F0, а по задния фронт на същия сигнал постъпва на шината за видеоданни. На тази шина постъпват и данните от допълнителната RAM при режимите с висока разрешаваща способност. Данните на тази шина са VID0÷VID5, които се въвеждат съответно на адресните входове A3÷A8 на знакогенератора D20. За адреси A0÷A2 се използуват сигналите SEGA, SEGB и VC от СМ 632, а за адреси A9÷A11 - съответно сигналите *RA9, *RA10 и GR от същата схема. Адрес A12 се управлява с мостче XP5, като по този начин се реализират два напълно независими

набора от символи. В зависимост от избраното изображение и постъпващите данни на изхода на знакогенератора се извеждат видеоданни за текстово или графично изображение. Изходите на знакогенератора са свързани с паралелните входове на преместващия регистър 74LS166. Получения байт се зарежда в регистъра за преобразуване по сигнал *LDPS, а преместването се извършва по положителния фронт на сигнал 14M, когато това е разрешено от сигнал VID7M. Последователния изход на преместващия регистър е свързан към входа на интегрална схема 74LS02 (ИЛИ-НЕ), която при това си свързване играе ролята на инвертор. Изходния сигнал от буфера се подава на входа на видеосмесителя, изграден с транзистор 2T3806 (VT1). В него се смесват видеоданните със сигнал *SYNC от СМ 632 и се получава комплексен видеосигнал за монитора.

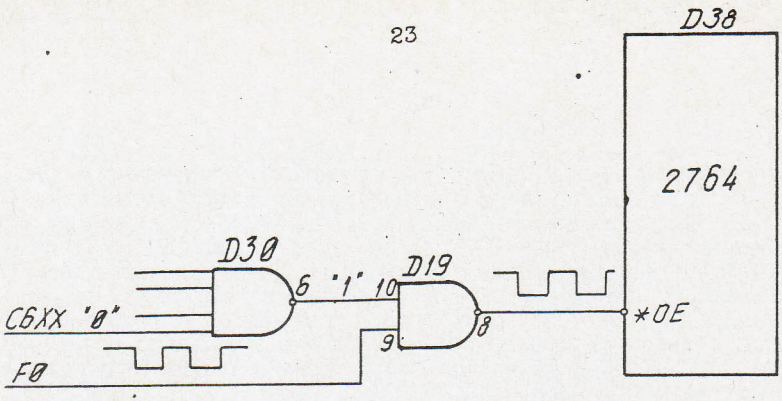
5.11. СХЕМА ЗА УПРАВЛЕНИЕ НА КЛАВИАТУРАТА.

Тази схема включва буфер за данни от клавиатурата и два D-тригера - за осмия бит от клавиатурата и за сигнал SOFTSW определящ седем- или осембитова кодова таблица.

Буфера за данни от клавиатурата е реализиран с интегрална схема 74LS374 (D18) и се зарежда при лог. "0" на сигнала *KBD и положителен фронт на сигнала STROBE. Сигнала *KBD се изработва от СМ 631, а сигнала STROBE се изработва от клавиатурата. Осмият бит данни от клавиатурата постъпва на D входа на тригера 74LS74 (D12) и се зарежда също по сигнал STROBE. Този бит се чете по линия D7 на адрес $C060, а младшите седем бита се четат на адрес $C000. Състоянието на сигнала SOFTSW се установява чрез запис на линия D0 на адрес $C06X. Същото може да се прочете по линия D6 на адрес $C06X.

5.12. FDC - ФЛОПИДИСК КОНТРОЛЕР.

При по-старите версии на компютъра този блок бе външно устройство и се включваше във входно-изходните куплунзи. В "Правец - 8С" той представлява вградено устройство, но се управлява по същия начин както би се управлявал, ако бе включен на входно-изходен куплунг. Основната разлика при тази реализация е замяната на двата PROM-а с инициализиращата програма с EPROM 2764 (D38). Предимство на тази реализация е включването инициализиращите програми на няколко различни устройства в една интегрална схема (в случая FDC, Centronics и RS - 232C). Инициализацията на FDC става автоматично с включване на захранването на компютъра или с натискане на комбинацията от клавиши CTRL-F1-RESET от клавиатурата. Освен това тя може да стане от средата на езика BASIC в директен и програмен режим чрез командата PR#6. От средата на програма МОНИТОР това може да стане с командите - C600G или 6+CTRL-P.При всички тези случай се стартира програма записана в EPROM D38 с начален адрес $C600 (адрес $600 от вътрешното адресно пространство на PROM-а). Това предизвиква генериране на адрес $C600 на адресната шина, който разрешава изходите на EPROM-а както е показано на схемата на Фиг. 5.7. На вход 5 на интегрална схема D30 постъпва сигнала *C600 от дешифратора 74LS138 (D51), които с ниското си ниво предизвиква появата на сигнал с високо ниво на изход 6 на D30, а оттам и на вход 10 на D19. Този сигнал в комбинация с процесорния такт F0, предизвиква появата на импулсна поредица на извод 22 на D38, при ниско ниво на която изходите на EPROM-а са разрешени за четене по



Фиг. 5.7.

външната шина данни. Това състояние се запазва при адреси в областа $C600÷$C6FF и включен програмен ключ ПСХРОМ. На тези адреси е записана програма за зареждане на сектор 0 от пътечка 0 от дискетата поставена в устройство А (или устройство 1), след което управлението се предава на програмата записана в този сектор.

Останалата част от FDC работи под управлението на споменатите програми и се грижи за управлението на флопидисковото устройство и преобразуване на данните от паралелен в последователен вид и обратно. Това ни дава право да ги разглеждаме на две отделни части - управление на флопидисковото устройство и преобразуване на данните.

Управлението на флопидисковото устройство се осъществява от интегрална схема 74LS259 (D4), която представлява осем разреден регистър от D-тригери. Всеки един от тригерите се избира чрез комбинация от адреси A1÷A3 и в него се записва състоянието на адресна линия A0. Предназначението на регистрите е следното:

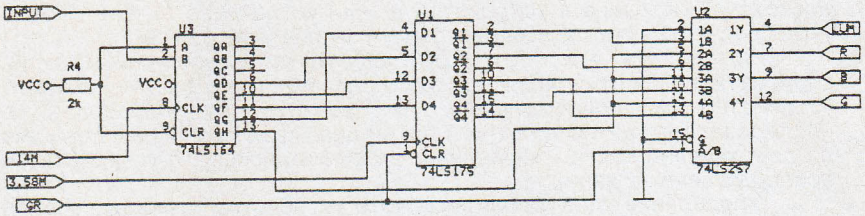
- $C0E0 - Q0=0 - Изключване на сигнала P0.
- $C0E1 - Q0=1 - Включване на сигнала P0.
- $C0E2 - Q1=0 - Изключване на сигнала P1.
- $C0E3 - Q1=1 - Включване на сигнала P1.
- $C0E4 - Q2=0 - Изключване на сигнала P2.
- $C0E5 - Q2=1 - Включване на сигнала P2.
- $C0E6 - Q3=0 - Изключване на сигнала P3.
- $C0E7 - Q3=1 - Включване на сигнала P3.
- $C0E8 - Q4=0 - Стоп на двигателя.
- $C0E9 - Q4=1 - Старт на двигателя.
- $C0EA - Q5=0 - Избор на първо флопидисково устройство.
- $C0EB - Q5=1 - Избор на второ флопидисково устройство.
- $C0EC - Q6=0 - Установяване на преместващия регистър 74LS323 в състояние за въвеждане и извеждане на данни.
- $C0ED - Q6=1 - Зареждане на данни в регистъра 74LS323.
- $C0EE - Q7=0 - Подготовка на регистъра 74LS323 за въвеждане на данни.
- $C0EF - Q7=1 - Подготовка на регистъра 74LS323 за извеждане на данни.

Както се вижда част от регистрите се използват и за преобразуване на данните което се осъществява от интегралните схеми 74LS323 (D16), 74LS174 (D7) и двата PROM-а 82S129 (D5 и D9).Интегрална схема 74LS323 (D16)

осъществява връзката между флопидисковото устройство и шина данни, като преобразува паралелните данни в последователни и обратно. Чрез програмите записани в двата PROM-а 82S129 се изработва сигнала WRITE DATA, а приетите сигнали READ DATA и WRPROT се подават на D16 за преобразуване. Данните за запис са най-старшия бит данни от PROM D9 като изпращането им към флопидисковото устройство се управлява от тригер на D7. Приетите данни преминават през два тригера на D7 и от тях се формира адрес A4 за двата PROM-а D5 и D9, докато сигнала WRPROT се подава директно на извод 11 на 74LS323.

5.13. RGB.

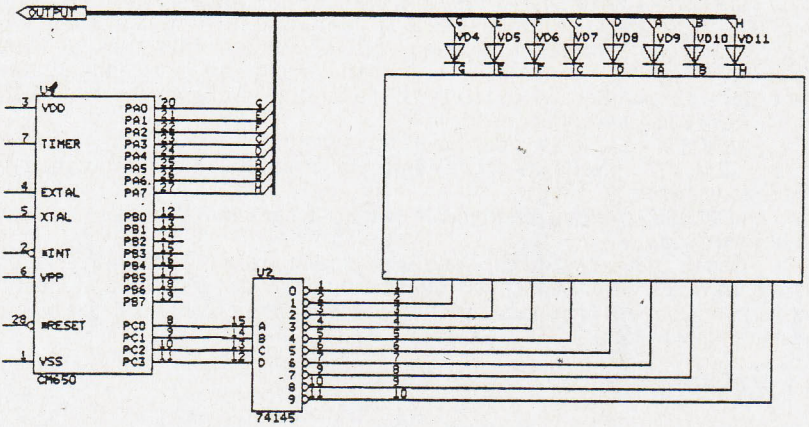
В този блок от видеоданните подавани за изработване на комплексния видеосигнал се изработват сигнали R, G, B и LUM за управление на цветен видеомонитор или цветен телевизор включен като монитор.



Фиг. 5.8.

Видеоданните се подават на вход B (извод 2 на D3) на осем разрядния преместващ регистър 74LS164. При положителния фронт на сигнала 14M информацията се прехвърля на извод QA (извод 3), а останалата информация в регистъра се премества надясно (респективно от QA към QH). От паралелните изходи се използват само QD÷QH като информацията на изходите е изместена по между им на един такт на сигнала 14M, благодарение на което се получава разделяне на цветовете. Сигналите от изходите на преместващия регистър (с изключение на QH) се подават на входовете на четири разредния регистър-памет 74LS175 (D1). При него сигналите се зареждат в регистъра по положителния фрон на сигнала 3.58M при условие , че сигнал GR от СМ 632 е с високо ниво (лог. "1"), в противен случай всички изходи са с ниско ниво (лог. "0"). Изходите на D1 са свързани към B-входовете на четирите двувходови мултиплексора в интегрална схема 74LS257 (D2). Вход A на първия мултиплексор (за получаване на сигнал LUM) е постоянно с ниско ниво, а на останалите A-входове се подава сигнал QH от преместващия регистър 74LS164. Когато сигналът GR от СМ 632 е с високо ниво (GR=1) сигналите от входове B на мултиплексорите се подават на изходите, т.е. сигналите QD÷QG от преместващия регистър записани след това в регистъра-памет достигат изхода. Когато обаче сигнал GR е с ниско ниво (GR=0), тогава и сигнала LUM е в състояние лог. "0", а изходите R, G и B повтарят сигнала QH от преместващия регистър т.е. имаме черно-бяло изображение.

5.14. КЛАВИАТУРА.



Фиг. 5.9.

Клавиатурата на компютър "Правец - 8С" е изградена на базата на едночипов микрокомпютър СМ 650Р 05. Той съдържа в себе си програма за обработка на натиснатия клавиш и за протокола на обмен между клавиатурата и компютъра. На платката за клавиатурата съществуват шест контактни площадки които се запазват или прекъсват в процеса на пробиване на отворите. Тези площадки определят типа на използвания микрокомпютър и подреждането на кирилицата в клавиатурното поле. Площадки R и E определят вида на използвания микрокомпютър - дали постоянната памет в него е тип ROM (прекъсва се точка R) или EPROM
(прекъсва се точка E). Клавиатурата се формира по следния начин:

- БДС - прекъсване на точка B;
- ГОСТ - прекъсване на точки A и C;
- QWERTY - прекъсване на точки D и C.

Страна B на микрокомпютъра служи за четене на типа на клавиатурата и сигнал SOFTSW, за изпращане на сигнали AKD, STROBE и *RESET към компютъра и управление на индикацията Caps Lock и C/L Lock. Сканирането на клавиатурата става чрез страна C и страна A. На изходи PC0÷PC3 се извеждат сигнали, които се използват като адреси на дешифратора 74145 в резултат на което се появява сигнал с ниско ниво само на един от десетте изхода на тази схема. Тези сигнали, при наличие на натиснат клавиш през някои от диодите V4÷V11, постъпват в страна A (PA0÷PA7), която в този момент е програмирана като вход. За изпращане на данните към компютъра се използва също страна A (PA0÷PA7) като този път е програмирана като изход.

По-подробно описание на СМ 650 е направено в т.6.5.

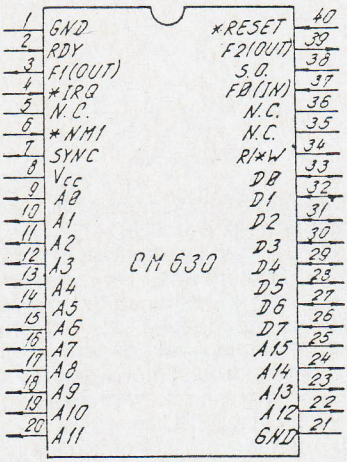
6. ОПИСАНИЕ НА СПЕЦИАЛИЗИРАНИТЕ ИНТЕГРАЛНИ СХЕМИ.

В повечето съвременни компютри се използват големи специализирани интегрални схеми. Обикновенно те се грижат за цели блокове от компютъра или заместват голямо количество елементи с ниска степен на интеграция. "Правец - 8С" не прави изключение от това правило. В него се използва цялата серия от специализирани интегрални схеми СМ 630 която включва следните елементи:

- СМ 630 - микропроцесор;
- СМ 631 - схема за управление на паметта;
- СМ 632 - схема за управление на вградените входно-изходни устройства;
- СМ 633 - схема изработваща синхронизиращи и тактови импулси за компютъра.

Освен тази серия от специализирани схеми в компютъра се използват още и едночиповият микрокомпютър СМ 650 за управление на клавиатурата и специализираната интегрална схема за управление на интерфейси 8250.

6.1. МИКРОПРОЦЕСОР СМ 630.



Фиг. 6.1.

В основата на използваната микропроцесорна серия стои микропроцесор СМ 630. Той представлява аналог на микропроцесорите R6502 (на фирмата Rockwell) и SY6502. За този тип микропроцесори има множество публикации в цял свят. У нас този микропроцесор се използва в компютрите "ИМКО - 2", "Правец - 82", "Правец - 8М", "Правец - 8Д", "Правец - 8Е", "Правец - 8А" и разбира се в "Правец - 8С". По начина на свързване в система той е подобен микропроцесор СМ 601 (MC6800) и съвместно с него могат да се използват много устройства конструирани за този процесор (серия СМ 600). Той се произвежда по NMOS технология и захранването му е от еднополярен източник с напрежение +5V.

На фиг.6.1. е показано разположението на изводите на микропроцесора СМ 630.

F0 е вход на който се подава основния синхронизиращ сигнал на процесора. F1 и F2 са изходи на микропроцесора на които се извеждат противофазни тактови поредици, необходими за работа на системата. Възможно е тези сигнали да се изработват външно и тогава тези изходи не се използват (както е при "Правец - 8С).

A0÷A15 са изходите на адресната магистрала (шина). Тя е шестнадесетбитова и с нейна помощ се адресират клетките от паметта и входно-изходните устройства общо с обем 64 Кбайта. По ниво тези изходи са TTL съвместими с товарна способност един стандартен TTL товар.

D0÷D7 е осембитова двупосочна шина данни. Изходите на шината са с буфери с три изходни състояния и могат да управляват един стандартен TTL товар. Към тази шина могат да се свържат и повече буфери, но само един може да бъде в работно състояние, а останалите трябва да се намират във високоимпедансно състояние.

RDY е вход за готовност на микропроцесора. Чрез сигнал с отрицателен фронт на този вход, по време на цикъл четене се спира микропроцесора, като на адресната шина остава текущия адрес. Този вход на микропроцесора се използва при работа с бавни памети или от външни устройства при директен достъп до паметта.

*IRQ това е вход за прекъсване с активно ниско ниво. Когата сигнала на този вход стане лог. "0" се счита, че е постъпила заявка за прекъсване. При това положение микропроцесорът завършва изпълнението на текущата инструкция преди да разпознае заявката, проверява флага I (флаг за маскиране) на регистъра P. Ако прекъсванията са разрешени (флаг I е "0") микропроцесорът извършва подготовка за обслужване на прекъсването, след което предава управлението на програмата, която е записана на начален адрес определен от съдържанието на клетки $FFFE и $FFFF. За да се възприеме прекъсване *IRQ е необходимо входа RDY да е с високо ниво.

*NMI е вход за немаскируемо прекъсване, активен при отрицателен фронт на сигнала подаван на него. Това прекъсване се извършва независимо от състоянието на флаг I в регистъра P. При наличие на заявка за немаскируемо прекъсване управлението се предава на програма, чиито начален адрес е записан в клетки $FFFA и $FFFB. Това разбира се става след приключване изпълнението на текущата инструкция.

*SO е вход за установяване на флага за препълване (флаг V на регистър P).

SYNC е изход, който е активен (състояние лог. "1") по време на такт F1 при извличане код на инструкции. Чрез него се реализира стъпково изпълнение на програма.

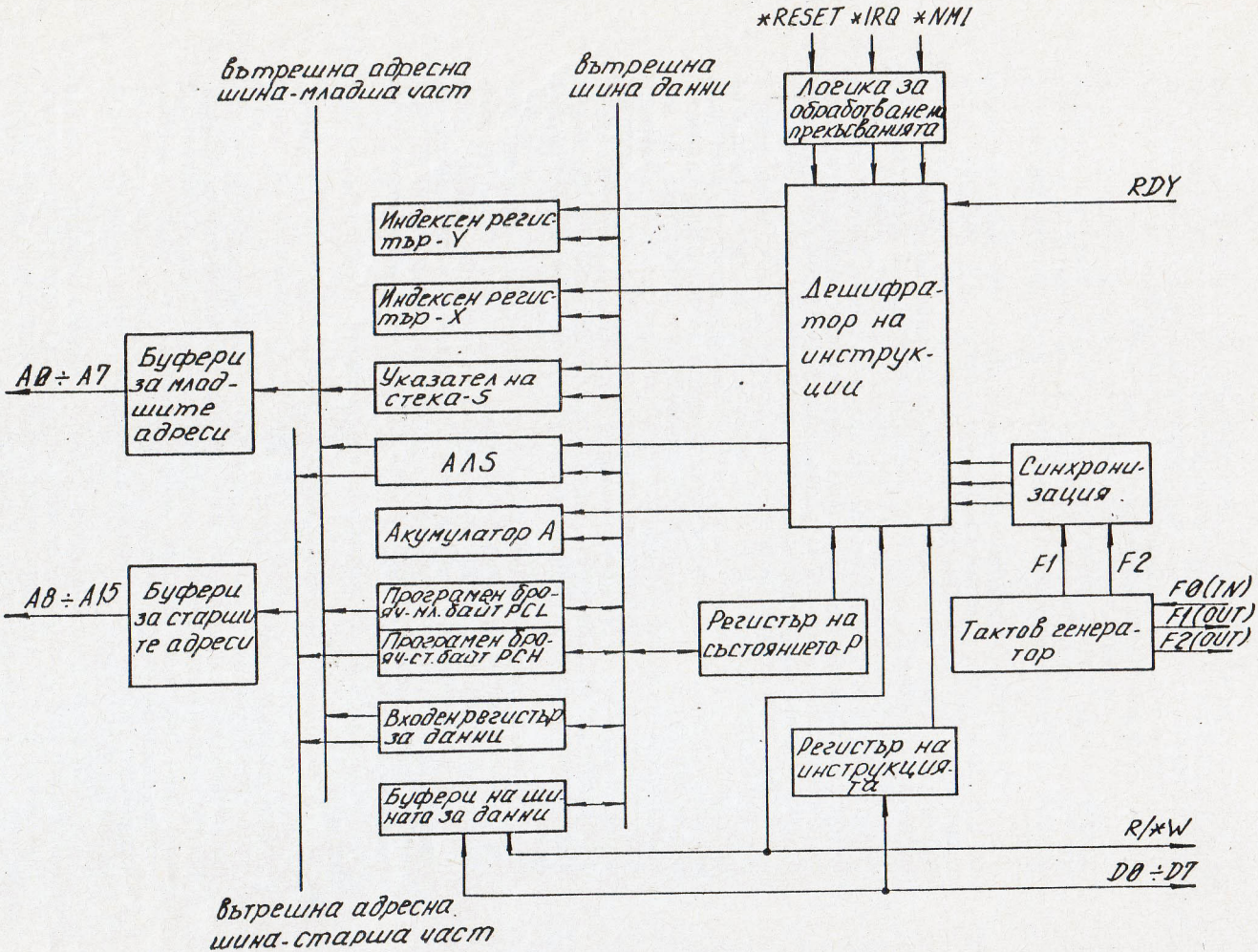
*RESET е вход за начално установяване на микропроцесора при включване на захранването или при рестартиране на системата. Когато на този вход се появи отрицателен импулс с продължителност поне два машинни цикъла микропроцесора извършва начално установяване на вътрешните си регистри и предава управлението на програмата записана от начален адрес определен от съдържанието на клетки $FFFC и $FFFD.

R/*W е изход четене/запис. Сигналът на него определя посоката на данните при обмена между микропроцесора и другите устройства. При сигнал лог. "1" микропроцесора чете от шина данни, а при сигнал лог. "0" извежда информация на шина данни.

Vcc е за захранващото напрежение +5V.

Vss е включен към маса.

N.C. са свободни изводи.


*RESET *IRQ *NMI
Логика за обработване прекъсванията
вътрешна адресна шина-младша част
вътрешна шина данни
RDY
Индексен регистър - Y
Индексен регистър - X
Дешифратор на инструкции
A0 ÷ A7
Буфери за младшите адреси
Указател на стека-S
ALS
Акумулатор A
Синхронизация
F1
F2
F0(IN)
F1(OUT)
F2(OUT)
A8 ÷ A15
Буфери за старшите адреси
Програмен брояч-мл. байт PCL
Програмен брояч-ст. байт PCH
Регистър на състоянието-P
Тактов генератор
Входен регистър за данни
Регистър на инструкцията
Буфери на шината за данни
R/*W
D0 ÷ D7
вътрешна адресна шина-старша част

Фиг. 6.2.

На фиг. 6.2. е показана вътрешната архитектура на микропроцесора. От вътрешните регистри на микропроцесора са достъпни само следните:

- PC (PCL и PCH) - шеснадесетбитов програмен брояч;
- Y - осембитов индексен регистър Y;
- X - осембитов индексен регистър X;
- S - осембитов указател на стека;
- A - осембитов акумулатор и
- P - осембитов регистър на състоянието.

Отделните битове на регистър на състоянието имат следното значение:

- бит 0 - флаг C - пренос;
- бит 1 - флаг Z - нулев резултат;
- бит 2 - флаг I - забрана за прекъсване;
- бит 3 - флаг D - двоично-десетична аритметика;
- бит 4 - флаг B - BREAK;
- бит 5 - винаги в състояние "1";
- бит 6 - флаг V - препълване и
- бит 7 - флаг N - отрицателен резултат.

В указателя на стека се намира само младшата част на адреса на стека тъй като стека е фиксиран в адресното пространство от $0100 до $01FF.

Микропроцесорът СМ 630 разполага с тринадесет метода на адресация. В зависимост от използваната адресация командите са едно-, дву-, три- или четирибайтови.

Акумулаторна - ACC. При този метод инструкциите са еднобайтови и се отнасят към акумулатора. Инструкции използващи тази адресация са - ASL, LSR, ROL и ROR.

Подразбираща се - IMPL. Тук инструкциите са също еднобайтови като за тях не е неоходимо указване за кои от регистрите се отнасят тъй като те имат точно определено предназначение. Този метод използват 25 инструкции някои от тях са - BRK, CLC, CLD, SEC, INX, DEX, TXA, PHA, RTS и други.

Непосредствена - IMD. Двубайтови инструкции като в първия байт е кода на инструкцията, а във втория е операнда. Използва се от 11 инструкции - ADC, AND, CMP, CPX, CPY, EOR, LDA, LDX, LDY, ORA и SBC.

Абсолютна- ABS. Трибайтови инструкции като в първия байт е кода на инструкцията, втория съдържа младшия байт на действителния адрес на операнда, а третия - старшия байт на действителния адрес на операнда. Използва се от 23 инструкции част от които са - ADC, AND, ASL, BIT, CMP, DEC, INC, JMP, LDA, STA и други.

В нулевата страница - ZP. Двубайтови инструкции които в първият байт съдържат кода на инструкцията, а във втория младшата част на действителния адрес на операнда тъй като старшата е $00. Използва се от 21 инструкции част от които са - ADC, AND, ASL, BIT, CMP, LDA и други.

Индексна в нулевата страница с регистър X - ZP,X. Двубайтови инструкции като в първия байт е кода на инструкцията,а втория съдържа младшия байт на базовия адрес от нулевата страница. Действителния адрес на операнда се получава като към съдържанието на индексния регистър X се прибави стойноста на втория байт на инструкцията като преноса се пренебрегва. Използва се от 16 инструкции - ADC, CMP, INC и други.

Индексна в нулевата страница с регистър Y - ZP,Y. Аналогично на предишния метод като тук се използва индексния регистър Y. Използва се само от две инструкции - LDX и STX.

Индексна абсолютна адресация с регистър X - ABS,X. Трибайтови инструкции - първият байт - кода на инструкцията, втория - младшия байт на базовия адрес, третия - старшия байт на базовия адрес. Действителния адрес на операнда се получава като към базовия адрес се прибави съдържанието на регистър X. Общо 15 инструкции използват този метод - ADC, AND, ASL, CMP, DEC, EOR, INC, LDA, LDY, LSR, ORA, ROL, ROR, SBC и STA.

Индексна абсолютна адресация с регистър Y - ABS,Y. Този метод е аналогичен на предишния като се използва съдържанието на регистър Y. Тук както и при предишния метод преноса се добавя към старшия байт. Използва се от девет инструкции - ADC, AND, CMP, EOR, LDA, LDX, ORA, SBC и STA.

Относителна - REL. Двубайтови инструкции използвани при преходи. В първият байт се съдържа кода на инструкцията, а втория байт е отместването в допълнителен код. Използва се от осем инструкции - BCC, BCS, BEQ, BMI, BNE, BPL, BVC и BVS.

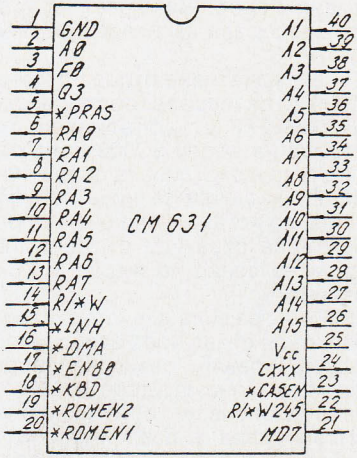
Индексна непряка адресация с регистър X - (IND,X). Двубайтови инструкции като първия байт е кода на инструкцията, а втория младшия байт на базовия адрес по подразбиране старшия байт е $00. Младшият байт на базовия адрес се сумира с регистър X като се пренебрегва преноса и така се получава адрес от нулевата страница на който се намира младшия байт на действителния адрес на операнда, а в следващата клетка е старшия байт на действителния адрес. Метода се използва от осем инструкции - ADC, AND, CMP, EOR, LDA, ORA, SBC и STA.

Непряка индексна адресация с регистъра Y - (IND),Y. Двубайтови инструкции като в първия байт е кода на инструкцията, а във втория младшия байт на клетка от нулевата страница. В клетката на посочения адрес се намира младшия, а в следващата старшия байт на базовия адрес като към него се добавя съдържанието на регистър Y. По този начин се получава действителния адрес на операнда. Използва се от следните осем инструкции - ADC, AND, CMP, EOR, LDA, ORA, SEC и STA.

Абсолютна непряка адресация - IND. Единствената инструкция използваща този метод е JMP. Тя е трибайтова инструкция като в първия байт е кода на инструкцията, а втория и третия съответно младшия и старшия байт на адреса, на който е записан младшия и старшия байт на действителния адрес.

Наборът от инструкции на микропроцесора СМ 630 включва 56 инструкции като повечето от тях се използват с няколко метода на адресиране така се получават големи възможности при програмирането на този микропроцесор.

6.2. СХЕМА ЗА УПРАВЛЕНИЕ НА ПАМЕТТА - СМ 631.



Фиг. 6.3.

Схемата за управление на паметта или схема MMU (Memory Management Unit) съдържа програмно управляеми ключове и схеми за дешифриране на адреса, които адресират цялата оперативна памет и входно-изходната конфигурация на "Правец - 8С". В тази схема се изработват мултиплексираните адреси за адресиране на RAM, управлението на EPROM, на клавиатурния буфер и други. На фиг. 6.3. е дадено разположението на изводите.

Програмно управляемите ключове са важна част за работата компютъра. Можем да ги сравним с механични ключове, но за разлика от тях те се превключват чрез запис на определен адрес от адресното пространство на компютъра. В тази схема са вградени следните програмно управляеми ключове:

- ПСХРОМ - INTCXROM - включва се при запис на адрес $C006 като по този начин се разрешава достъпа до постоянната памет в областа $C100÷$C7FF, разположена на външни входно-изходни устройства, а запис на адрес $C007 го изключва, т.е. разрешава постоянната памет на компютъра в адресното пространство $C100÷$CFFF.

- ПС3РОМ - SLOTC3ROM - включва се със запис на адрес $C00B и разрешава достъпа до постоянната памет на външен модул на адреси $C300÷$C3FF в "Правец - 8С". Това е адресно пространство на модула за 80 колонно изображение. Запис на адрес $C00A изключва ключа и разрешава достъпа до вградената постоянна памет на адреси $C300÷$C3FF и $C800÷$CFFF.

- ЗАП80 - 80STROBE - включва се чрез запис на адрес $C001, а се изключва чрез запис на адрес $C000. Той определя достъпа до екранната памет, намираща се в допълнителната оперативна памет.

- ЧСП - RAMRD - четене от системната памет. Включва се чрез запис на адрес $C002 и разрешава четенето от системната оперативна памет. Изключването става чрез запис на адрес $C003 като по този начин се разрешава четенето от допълнителната оперативна памет.

- ЗСП - RAMWRT - запис в системната памет. Включва се чрез запис на адрес $C004 и разрешава записа в

системната оперативна памет. Изключването става чрез запис на адрес $C005 като се разрешава записа в допълнителната оперативна памет.

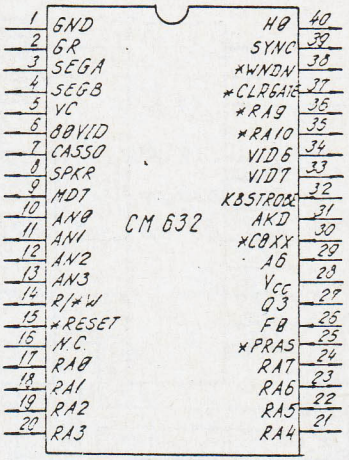
- АНС - ALTZP - алтернативна нулева страница. Включва се чрез запис на адрес $C009 и разрешава достъпа до нулевата страница, стека и областа $D000-$FFFF от допълнителната оперативна памет. Изключва се чрез запис на адрес $C008 като разрешава достъпа до нулевата страница и стека в системната оперативна памет.

- СТР2 - PAGE 2 - включва се чрез запис на адрес $C055 и се избира втора страница, но когато е включен ключ ЗАП80 вместо втора страница се избира първа страница от допълнителната оперативна памет. Изключва се чрез запис на адрес $C054 като това води до рабста в първа страница.

- ГР.ВРС - HIRES - графика с висока разрешаваща способност. Включването на този ключ става чрез запис на адрес $C057 и води до преминаване в графичен режим с висока разрешаваща способност. Изключването става чрез запис на адрес $C056.

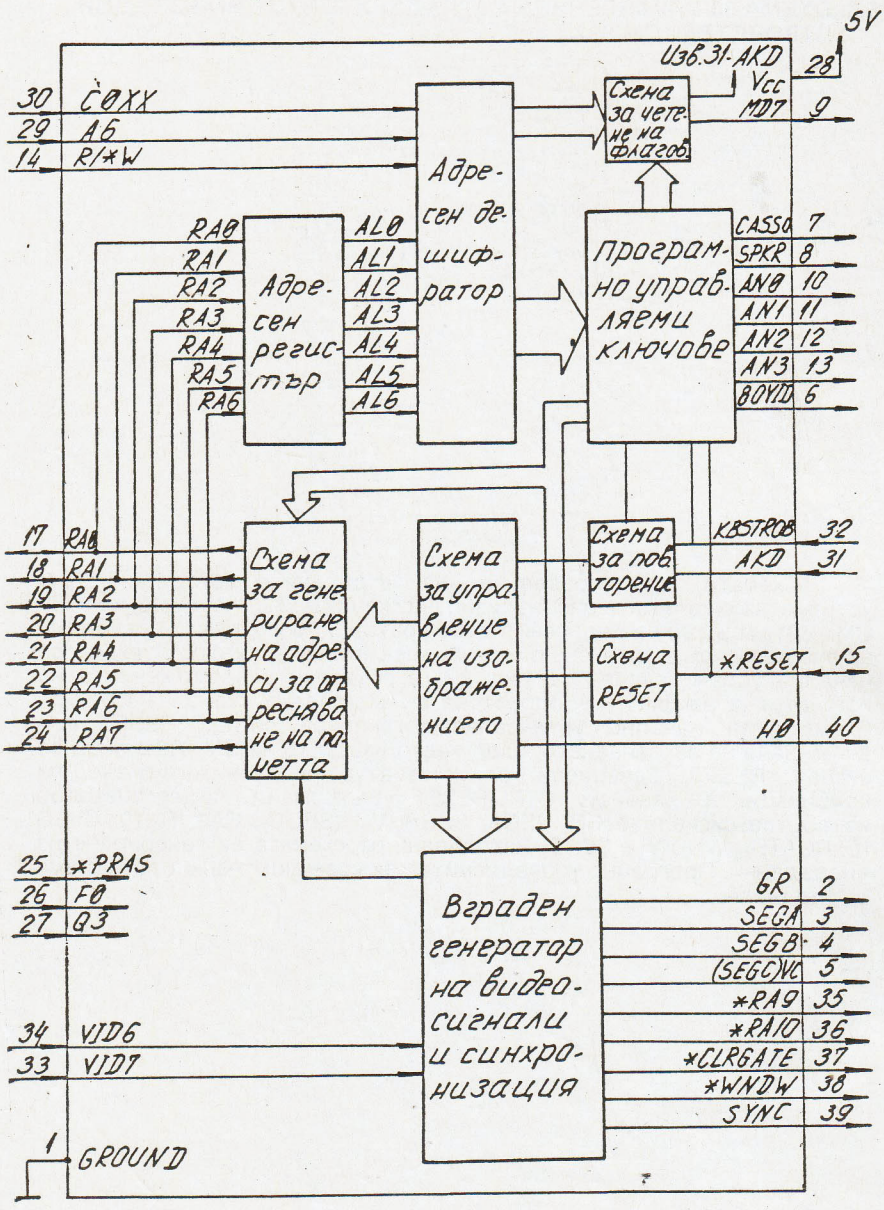
Установяването (включването) и изключването на програмно управляемите ключове става в зависимост от валидния адрес на адресната шина и от сигнала R/*W. По този начин схемата, в зависимост от адреса на адресната шина и състоянието на ключовете, разрешава работата на различните устройства включени в компютъра. От тази схема се изработва и управляващия сигнал за буфер данни, в зависимост от това дали избраното устройство е на вътрешната или на външната шина данни.

6.3. СХЕМА ЗА УПРАВЛЕНИЕ НА ВГРАДЕНИТЕ ВХОДНО-ИЗХОДНИ УСТРОЙСТВА - СМ 632.



Фиг. 6.4.

Схемата за управление на вградените входно-изходни устройства е голямата специализирана схема СМ 632. Тя също, както и СМ 631, съдържа адресен дешифратор, програмно управляеми ключове, но съдържа също и вътрешен видеогенератор и схема за начално установяване. На фиг. 6.4. е показано разположението на изводите, а на фиг. 6.5. опростена функционална схема на СМ 632. Схемата за начално установяване генерира сигнал RESET при включване на захранването, след което извод 15 на СМ 632 е вход за сигнал RESET, генериран от клавиатурата при натискане на комбинацията клавиши CTRL-RESET. Вътрешния видеогенератор изработва сигналите GR, SEGA, SEGB, VC (SEGC), RA9, RA10, CLRG (CLRGATE), WNDW и SYNC, използвани от схемата за генериране на видеоданни. Програмно управляемите ключове включени в тази схема са следните:


5V
Изб.31-AKD
Vcc
28
30 CSXX
29 A6
14 R/*W
Адре-сен де-шиф-ратор
Схема за четр-не на флагов
MD7 9
RA0
RA1
RA2
RA3
RA4
RA5
RA6
Адре-сен регис-тър
AL0
AL1
AL2
AL3
AL4
AL5
AL6
Програм-но управ-ляеми ключове
CASSO 7
SPKR 8
AN0 10
AN1 11
AN2 12
AN3 13
BOYD 6
17 RA0
18 RA1
19 RA2
20 RA3
21 RA4
22 RA5
23 RA6
24 RA7
Схема за гене-риране на адре-си за от-реснява-не на па-метта
Схема за упра-вление на изо-бражени-ето
Схема за поб-торение
KBSTROB 32
AKD 31
Схема RESET
*RESET 15
H0 40
25 *PRAS
26 F0
27 Q3
Вграден генератор на видео-сигнали и синхро-низация
GR 2
SEGA 3
SEGB 4
(SEGC)VC 5
*RA9 35
*RA10 36
*CLRGATE 37
*WNDW 38
SYNC 39
34 VID6
33 VID7
1 GROUND

Фиг. 6.5.

- ЗАП80 - 80STROBE - дублира същия ключ в СМ 631.

- 80КОЛ - 80COL - включването на този ключ става чрез запис на адрес $C00D което разрешава 80 колонно изображение и в зависимост от ключ ТЕКСТ изображението е ТЕКСТ80, ГР80 или ГР560. Изключването става чрез запис на адрес $C00C и в зависимост от ключ ТЕКСТ изображението е ТЕКСТ40, ГР40 или ГР280.

- АСМ - алтернативно символно множество. Включването става чрез обръщение към адрес $C00F и се разрешава работата с алтернативното символно множество при работа с осембитовата кодова таблица. Изключването става чрез обръщение към адрес $C00E и възобновява работата със стандартното символно множество.

- ТЕКСТ - определя работата в текстов или графичен режим. При включен ключ (обръщение към адрес $C051) имаме текстов режим, а при изключен (обръщение към адрес $C050) графичен режим.

- СМ - смесен режим на изображение. Включването става чрез обръщение към адрес $C053, а изключването му чрез обръщение към адрес $C052. При изключен ключ ТЕКСТ и включен ключ СМ е разрешено смесено избражение.

- СТР2 - PAGE2 - дублира същия ключ в СМ 631.

- ГР.ВРС - HIRES - дублира същия ключ в СМ 631.

- ЦИЗХ0 - AN0 - цифров изход 0 - установява се в състояние лог. "1" при обръщение към адрес $C059, а в лог. "0" при обръщение към адрес $C058.

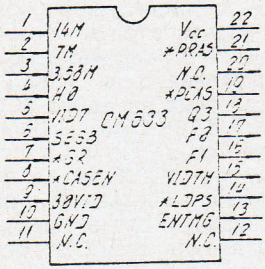
- ЦИЗХ1 - AN1 - цифров изход 1 - установява се в състояние лог. "1" при обръщение към адрес $C05B, а в лог. "0" при обръщение към адрес $C05A.

- ЦИЗХ2 - AN2 - цифров изход 2 - установява се в състояние лог. "1" при обръщение към адрес $C05D, а в лог. "0" при обръщение към адрес $C05C.

- ЦИЗХ3 - AN3 - цифров изход 3 - установява се в състояние лог. "1" при обръщение към адрес $C05F, а в лог. "0" при обръщение към адрес $C05E.

- ВГ - SPKR - високоговорител - чрез четене от адрес $C030 се сменя алтернативно състоянието на този ключ и се чува звук от високоговорителя, честотата на звука се определя от интервала между две четения.

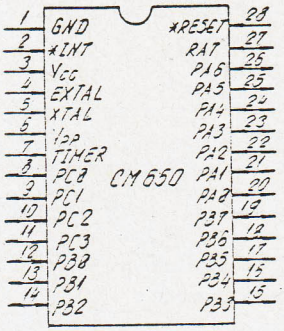
6.4. СХЕМА ЗА СИНХРОИМПУЛСИ - СМ 633.



Фиг. 6.6.

Специализираната схема за синхроимпулси СМ 633 представлява постоянна логическа матрица тип HAL (Hard Array Logic). Този тип матрици заедно с PAL (Programmable Array Logic - програмируема логическа матрица) матриците са схеми от най-модерен вид. HAL матриците са масково програмируеми структури с TTL логически нива на входните и изходните сигнали. На фиг. 6.6. е дадено разположението на изводите на СМ 633. В "Правец - 8С" използваната матрица съдържа осем D-тригера, които се зареждат от логическата матрица през схеми И-ИЛИ. Всичките D-тригери се тактуват по предния фронт на сигнала 14М, който се подава в паралел на всички С-входове на тригерите със закаснение от около 14 nsec, поради преминаване през повторител. Изходите на СМ 633 са с три изходни състояния като преминават в трето състояние при високо ниво на сигнала ENTMG (извод 13 на СМ 633). В "Правец - 8С" този извод е свързан към маса, т.е. изходите са винаги разрешени.

6.5. ЕДНОЧИПОВ МИКРОКОМПЮТЪР СМ 650.



Фиг. 6.7.

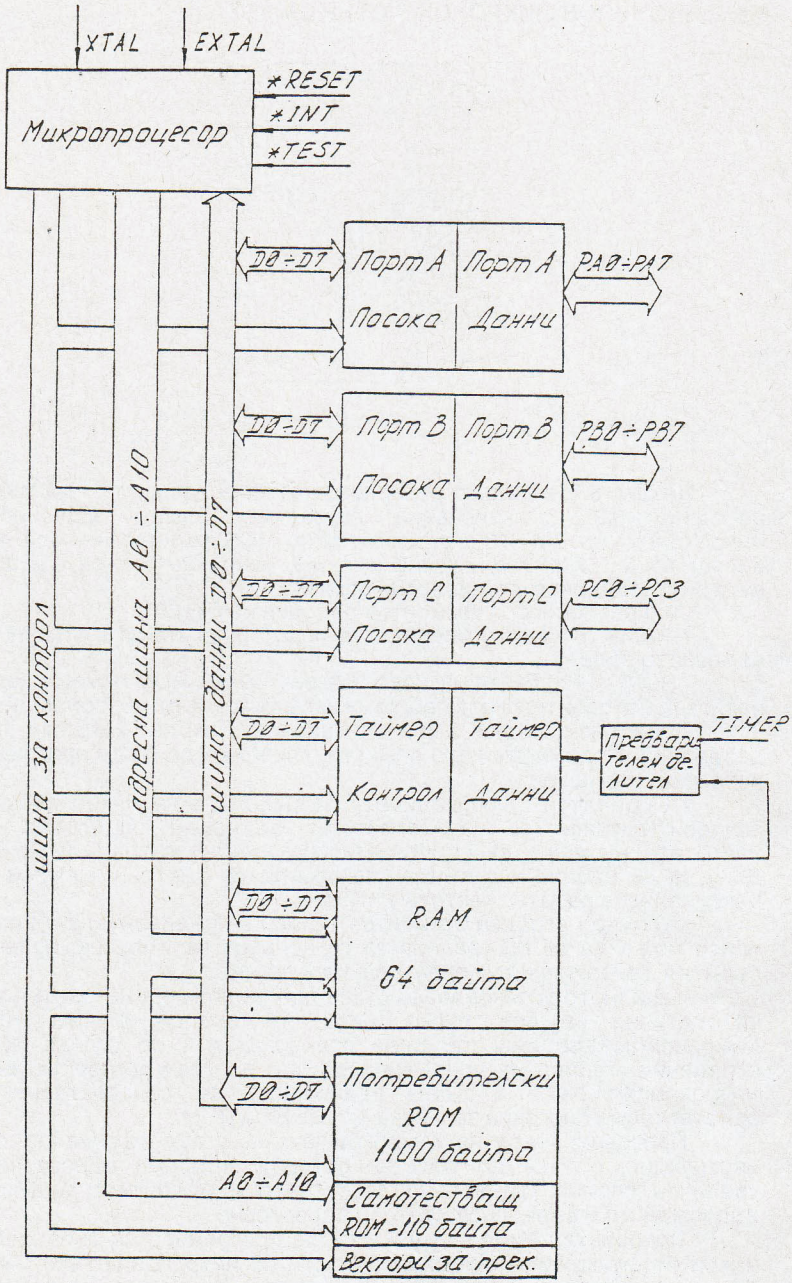
На фиг 6.7. е дадено разположението на изводите на СМ 650, а на фиг. 6.8. функционална схема на същия. Едночиповия микрокомпютър СМ 650 е разработен по MOS технология и се явява аналог на MC6805P2. Съгласно фиг. 6.8. микрокомпютъра СМ 650 се състои от следните фукционални блокове:

- микропроцесор - осембитов подобен на СМ 601.
- RAM - 64 байта оперативна памет в началната страница на адресното поле.
- ROM - 1100 байта масково програмируема ROM памет в която е записана потребителската програма изпълнявана от микропроцесора.
- Входно-изходни шини - двадесет входно-изходни линии разделени в три порта като всеки от тях може да бъде програмиран като вход или изход.
- Осцилатор - необходимите за работата на микрокомпютъра тактови сигнали се изработват от вътрешен осцилатор, като честотата му може да се стабилизира външно с кварцов кристал. Допуска се работа и с външен генератор на тактови импулси като максималната работна честота е 4.4 MHz.
- Таймер - вграден осембитов таймер с предварителен делител, който може да се програмира за генериране на импулси, броене на събития, генерирания на прекъсвания и други.

Началното установяване става при включване на захранването автоматично и при ниско ниво на входен сигнал RESET. Микрокомпютъра има три вида прекъсвания - по сигнал INT, от вградения таймер и чрез команда за програмно прекъсване. В микрокомпютъра е вложена възможност за самотестване чрез самотестваща програма записана в 116 байта ROM.

Програмирането на микрокомпютъра става със набор от 59 инструкции, близки до тези на СМ 601. Броя на адресациите е увеличен спрямо СМ 601 на десет като е подобрено индексното адресиране и е въведено побитово адресиране.

Потребителя има възможност да програмира по свое желание някои от функционалните възможности на микрокомпютъра СМ 650. Това се извършва чрез отделна маска в процеса на програмиране и се получава потребителска версия на микрокомпютъра. Програмируемите функционални възможности са следните:


XTAL
EXTAL
Микропроцесор
*RESET
*INT
*TEST
D0÷D7
Порт А
Посока
Порт А
Данни
PA0÷PA7
Порт В
Посока
Порт В
Данни
PB0÷PB7
Порт С
Посока
Порт С
Данни
PC0÷PC3
Таймер
Контрол
Таймер
Данни
Предвари-телен де-лител
TIMER
RAM
64 байта
Потребителски
ROM
1100 байта
Самотестващ
ROM-116 байта
Вектори за прек.
A0÷A10
адресна шина A0÷A10
шина данни D0÷D7
шина за контрол

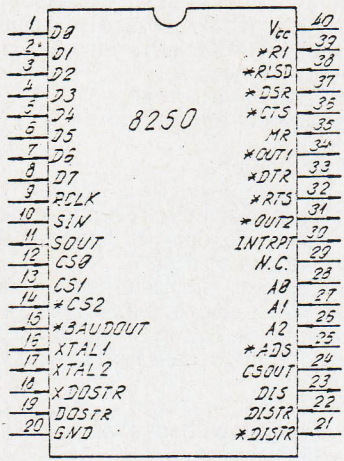
Фиг. 6.8.

- вид на тактовия генератор:
  - RC верига - само с един външен резистор се определя честотата на генератора;
  - кварцов резонатор - свързва се кварцов резонатор с честота четири пъти по-висока от необходимата вътрешна тактова честота. Възможно е използването и на външен тактов сигнал с TTL ниво.
- товароспособност на порт A:
  - един стандартен TTL товар;
  - едновременно един стандартен TTL товар и един стандартен CMOS товар.
- тактов сигнал на таймера:
  - външен тактов сигнал на вход TIMER;
  - вътрешен системен такт F2, разрешаван от вход TIMER.
- коефициент на деление на предварителния делител на таймера - по степените на две от 0 до 7.
- схема за начално установяване при намаляване на захранващото напрежение - включена или изключена.

Всички тези промени се кодират чрез битовете в байт UMOB на адрес $7EF от вътрешното пространство. Съдържанието на този байт е следното:

- бит 7 - CLK - тип на осцилатора:
  - CLK=0 - с кварцов резонатор;
  - CLK=1 - с RC верига.
- бит 6 - трябва да е лог. "1".
- бит 5 - CLS - тактов сигнал за таймера:
  - CLS=0 - вътрешен такт F2;
  - CLS=1 - външен тактов сигнал.
- бит 4 - LVR - схема за начално установяване:
  - LVR=0 - изключена;
  - LVR=1 - включена.
- бит 3 - PAD - товароспособност на порт A:
  - PAD=0 - TTL товар;
  - PAD=1 - TTL- и CMOS-товар.
- битове 2, 1 и 0 - PDR - задават коефициента на делене на предварителния делител на честотата на таймера.

6.6. ИНТЕРФЕЙСЕН КОНТРОЛЕР - 8250.



Фиг. 6.9.

На фиг. 6.9. е показано разположението на изводите на специализиранин чип за обслужване на комуникации 8250. Той е напълно програмируем и за работата му е необходимо постоянно обслужване от драйверна програма. Сигналите на изводите на 8250 могат да бъдат разделени условно на три групи - входни, изходни, входно-изходни и захранване. Ще започнем с входните сигнали:

- Chip Select CS0, CS1 и *CS2 - избор на чипа (изводи 12, 13 и 14). За да бъде избран чипа е необходимо CS0 и CS1 да са в състояние лог. "1", а CS2 в състояние лог. "0".

- Data Input Strobe DISTR и *DISTR - сигнали за четене от 8250 (изводи 22 и 21). Когато чипа е избран и сигнал DISTR е лог. "1" или *DISTR е лог. "0" е възможно четене на данни от схемата. Може да се използва единият или и двата сигнала, но когато се използва само един сигнал то другият непременно трябва да бъде установен в неактивно състояние.

- Data Output Strobe DOSTR и*DOSTR - сигнали за запис в 8250 (изводи 19 и 18). Когато чипа е избран и сигнал DOSTR е лог. "1" или *DOSTR е лог. "0" е възможно запис на данни в схемата. Може да се използва единият или и двата сигнала, но когато се използва само един сигнал то другият непременно трябва да бъде установен в неактивно състояние.

- Addres Strobe ADS - стробиране на адреса (извод 25). Използва се за стробиране на адреса на регистъра задаван от адресни линии A0, A1 и A2. Когато не е необходимо стробиране този сигнал се свързва с маса.

- Register Select A0, A1 и A2 - адресни линии за избор на регистър от 8250 (изводи 26, 27 и 28). С помощта на тези три адреса и най-старшия бит на регистър LCR се избират десет програмно достъпни регистъра. Адресирането на отделните регистри ще бъде обяснено отделно.

- Master Reset MR - начално установяване (извод 35). Сигнал с високо ниво на този вход води до нулиране на всички регистри на 8250 с изключение на приемния и предавателния буфер за данни и регистрите, съдържащи фактор на делене на честотата. Началното установяване влияе и на някои изходни сигнали.

- Receive Clock RCLK - входна тактова честота (извод 9). Върху този вход се задава честота превишаваща шестнадесет пъти зададената скорост на приемане. С този сигнал се извършва сканиране на приеманите данни.

- Serial Input SIN - вход за последователни данни (извод 10). На този вход се подават последователно постъпващите данни от модема или външното устройство.

- Clear to Send CTS - управляващ сигнал от приемника указващ, че е готов за комуникации (извод 36). Състоянието на този извод се отразява в бит 4 (CTS) на регистър MSR, а в бит 0 (DCTS) се намира информация за промяна в състоянието на сигнала CTS. При настъпване на такава промяна това веднага води до генериране на заявка за прекъсване.

- Data Set Ready DSR - управляващ сигнал от модема указващ, че е готов за предаване (извод 37). Активното състояние на този сигнал е ниско ниво (лог. "0"). Състоянието на този извод се отразява в бит 5 (DSR) на регистър MSR, а в бит 1 (DDSR) се намира информация за промяна в състоянието на сигнала DSR. При настъпване на такава промяна това веднага води до генериране на заявка за прекъсване.

- Carrier Detected CD - откриване на носеща. С активното си ниво (лог. "0") този сигнал информира 8250, че от модема е открита носеща честота (извод 38). Състоянието на този извод се отразява в бит 7 (CD) на регистър MSR, а в бит 3 (DCD) се намира информация за промяна в състоянието на сигнала. При настъпване на такава промяна това веднага води до генериране на заявка за прекъсване.

- Ring Indicator RI - индикатор за повикване (извод 39). С активното си ниво (лог. "0") този сигнал информира 8250, че модема е получил телефонен сигнал за повикване. Състоянието на този извод се отразява в бит 6 (RI) на регистър MSR, а в бит 2 (TERI) се намира информация за промяна в състоянието на сигнала RI от ниско във високо ниво за времето от последното прочитане на MSR до дадения момент. При наличие на такава промяна това води до генериране на заявка за прекъсване.

Изходните сигнали на 8250 са:

- Data Terminal Ready DTR - сигнал към модема, че 8250 е готов за комуникации (извод 33). Активното ниво на този сигнал е лог. "0". Състоянието на изход DTR може да се установи в активно състояние чрез запис на 1 в бит 0 (DTR) на регистър MCR. При начално установяване този сигнал се установява в неактивно състояние лог. "1".

- Request to Send RTS - сигнал към модема, че 8250 е готов за предаване на данни (извод 32). Активното ниво на този сигнал е лог. "0". Състоянието на изход RTS може да се установи в активно състояние чрез запис на 1 в бит 1 (RTS) на регистър MCR. При начално установяване този сигнал се установява в неактивно състояние лог. "1".

- Output 1 OUT1 - това е изход предоставен на потребителя за използване при необходимост (извод 34). Активното ниво на този сигнал е лог. "0". Състоянието на този сигнал може да се установи в активно състояние чрез запис на 1 в бит 2 (OUT1) на регистър MCR. При начално установяване този сигнал се установява в неактивно състояние лог. "1".

- Output 2 OUT2 - това е изход предоставен на потребителя за използване при необходимост (извод 31). Активното ниво на този сигнал е лог. "0". Състоянието на този сигнал може да се установи в активно състояние чрез запис на 1 в бит 3 (OUT2) на регистър MCR. При начално установяване този сигнал се установява в неактивно състояние лог. "1".

- Chip Select Out CSOUT - изходен чип селект (извод 24). Активното състояние на този сигнал е високо ниво (лог. "1") и означава, че е извършен избор на 8250 т.е. сигналите CS0, CS1 и *CS2 са активни. Обмен между микропроцесорната система и 8250 е възможен само при активно ниво на този изход.

- Driver Disable DDIS - този сигнал се установява в състояние лог. "0" по време на четене на данни от регистрите на 8250 (извод 25).

- Baud Out BAUDOUT - на този извод има тактова поредица с честота шестнадесет пъти по-висока от зададената скорост на предаване (извод 15). Обикновенно този изход се свързва към вход RCLK (извод 9) и задава скорост на приемане равна на тази на предаване.

- Interrupt INTRPT - прекъсване (извод 30). Сигналът на този изход се установява в активно ниво (лог. "1") когато е настъпило поне едно от следните събития: флаг за грешка при приемане, приет байт данни, регистъра за предаване на данни е празен, промяна в състоянието на модемните линии. Този сигнал се нулира при начално установяване или при обслужване на съответното прекъсване.

- Serial Output SOUT - изход за последователно предавани данни към модема или външното устройство (извод 11). При начално установяване този изход се установява във високо ниво (лог. "1").

Входно-изходни сигнали са :

- Data Bus D0-D7 - шина данни (изводи от 1 до 8). Това са линии с три изходни състояния за свързване към шина данни на микропроцесорната система. По тях се извършва двупосочен обмен на данни, команди и състояния между 8250 и системата.

- External Clock Input/Output XTAL1 и XTAL2 - линии за тактова честота (изводи 16 и 17). По тези линии се задава външната тактова честота. Възможно е свързването както на външен тактов генератор така и само на един кварцов резонатор за определяне на честотата.

Захранването става по следните линии:

- VCC - захранване +5V (извод 40).
- GND - маса (извод 20).

Адресирането на програмно достъпните регистри в 8250 става чрез трите адресни линии A0, A1, A2 и бит 7 (DLAB) от регистър LCR.

DLAB	A2	A1	A0	РЕГИСТЪР
0	0	0	0	RBR приемен буфер за данни - четене
0	0	0	0	THR предав. буфер за данни - запис
0	0	0	1	IER разрешение на прекъсванията
X	0	1	0	IIR идентификация на прекъсванията
X	0	1	1	LCR управление на линията
X	1	0	0	MCR управление на модема
X	1	0	1	LSR състояние на линията
X	1	1	0	MSR състояние на модема
X	1	1	1	не се използва
1	0	0	0	DLL фактор за делене мл. байт
1	0	0	1	DLM фактор за делене ст. байт

DLAB е най-старшия бит на регистър LCR.

Регистър за управление на линията - LCR.

В този регистър чрез запис на управляваща информация се задават параметрите на асинхронната връзка. Регистърът е достъпен за четене поради което отпада необходимоста параметрите на обмена да се запазват в оперативната памет. Значение на отделните битове в регистъра:

- битове 0 и 1 - чрез тези битове се задава дължината на предаваните и приеманите символи;
- бит 2 - задава броя на стоп битовете;
- бит 3 - контрол по четност;
- бит 4 - задава типа на контрола, ако го има;
- бит 5 - т. нар. "долепен" бит и има значение при контрола;
- бит 6 - чрез него линията се установява в състояние BREAK;
- бит 7 - DLAB използва се при адресацията на регистрите.

Регистри за фактора на делене на честотата DLL и DLM

Тези регистри съдържат младшия (DLL) и старшия (DLM) байт на фактора на делене на честотата. По този начин се формира шестнадесет разрядна дума за делене на тактовата честота на 8250. Чрез това делене се получават скорости на обмен в интервала от 50 до 9600 бит/сек. При скорости над 9600 бит/сек възниква прогресивно нарастване вероятността за грешка.

Регистър за състояние на линията - LSR.

Този регистър дава информация на микропроцесора за състоянието на комуникационната линия във всеки един момент. Значението на отделните битове е следното:

- бит 0 - индикатор за приети данни;
- бит 1 - индикатор за препълване;
- бит 2 - индикатор за грешка при контрол за четност (нечетност);
- бит 3 - индикатор за грешка при приемане;
- бит 4 - индикатор за състояние BREAK по линията при приемане;
- бит 5 - указва празен буферен регистър. Готовност за приемане поредния байт данни;
- бит 6 - указва, че съдържанието на изместващия предавателен регистър е предадено;
- бит 7 - не се използва - лог. "0".

Регистър за идентификация на прекъсването IIR.

В него се съдържа информация за възникнала заявка за прекъсване в съответствие с установените приоритети, а също и за източника на заявката. Предназначението на битовете е следното:

- бит 0 - активира се при наличие на заявка за прекъсване;
- битове 1 и 2 - в тях се кодира прекъсването с най-висок приоритет в дадения момент;
- битове от 3 до 7 - не се използват и са в лог. "0".

Регистър за разрешение на прекъсванията IER.

Този регистър определя маската на разрешените и забранени прекъсвания, като лог. "0" е забрана на съответното прекъсване, а лог. "1" разрешение. Отделните битове са със следното предназначение:

- бит 0 - прекъсване при наличие на приети данни;
- бит 1 - прекъсване при празен буфер за предаване;
- бит 2 - прекъсване при грешка по линията;
- бит 3 - прекъсване при промяна състоянието на модема;
- битове 4, 5, 6 и 7 - не се използват и са лог. "0".

Регистър за управление на модема MCR.

Чрез този регистър се осъществява управлението на модемните линии или тези към външното устройство. Предназначението на отделните битове е следното:

- бит 0 - управлява веригата DTR. При състояние лог. "1" активира извод DTR на 8250 като го установява в състояние лог. "0".
- бит 1 - управлява веригата RTS. При състояние лог. "1" активира извод RTS на 8250 като го установява в състояние лог. "0".
- бит 2 - управлява състоянието на извод OUT1 на 8250. При състояние лог. "1" активира съответния извод OUT1 на 8250 като го установява в състояние лог. "0".
- бит 3 - управлява състоянието на извод OUT2 на 8250. При състояние лог. "1" активира съответния извод OUT2 на 8250 като го установява в състояние лог. "0".
- бит 4 - управлява обратната връзка за тестване на 8250. Самотестването е активно при състояние лог. "1" в този бит, а при състояние лог. "0" е в работен режим.
- битове 5, 6 и 7 - на се използват и са установени в състояние лог. "0".

Регистър за състоянието на модема MSR.

Чрез този регистър микропроцесора получава информация за текущото състояние на модемните линии и за настъпили промени в тях между последното и текущото четене на регистъра. Отделните битове имат следното значение:

- бит 0 - отразява промяната на състоянието на входа CTS на 8250 от последното му прочитане и дадения момент.
- бит 1 - отразява промяната на състоянието на входа DSR на 8250 от последното му прочитане и дадения момент.
- бит 2 - отразява промяната на състоянието на входа RI на 8250 от последното му прочитане и дадения момент.
- бит 3 - отразява промяната на състоянието на входа CD на 8250 от последното му прочитане и дадения момент.
- бит 4 - отразява състоянието на входа CTS на 8250 - активното му състояние е лог. "1".
- бит 5 - отразява състоянието на входа DSR на 8250 - активното му състояние е лог. "1".
- бит 6 - отразява състоянието на входа RI на 8250 - активното му състояние е лог. "1".
- бит 7 - отразява състоянието на входа CD на 8250 - активното му състояние е лог. "1".

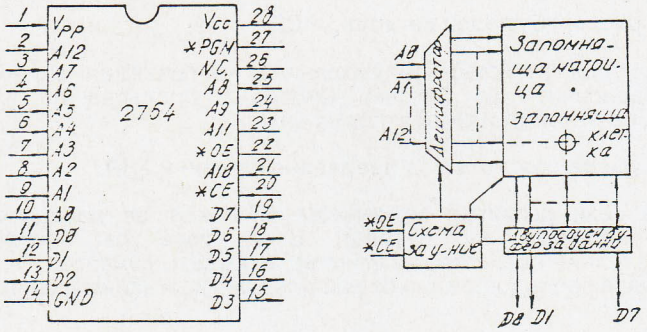
Приемен буферен регистър RBR.

В този регистър се съхранява постъпващия символ (само информационните му битове). Символът постъпва на входа на регистъра от младшия към старшия бит.

Буферен регистър за предаване на данни THR.

В този регистър се записва символът за предаване (само информационните му битове). След това се прехвърля в предавателния преместващ регистър, откъдето символът се предава по линията последователно от най-младшия към най-старшия бит

6.7. ПОСТОЯННА ПАМЕТ ТИП EPROM 2764.



Фиг. 6.10.

Схемата 2764 представлява статична постоянна памет тип EPROM с организация 8Kx8. Програмирането и става чрез електрически импулси, а изтриването с ултравиолетови лъчи. Всички изводи на схемата са TTL съвместими по време на запис и на четене. Предназначението на изводите е следното:

- D0÷D7 - изходи за данни с три изходни състояния. Третото ниво на изходите се установява при сигнал лог. "1" на вход *OE. Когато чипа не е програмиран всички изходи са в състояние лог. "1". Свързани са с вътрешната шина данни;
- A0÷A12 - адресни входове които след вътрешно дешифриране определят необходимата запомняща клетка. Свързани са с адресната шина на компютъра;
- *CE/PGM - този вход се използва за избор на чипа при работа, а при програмиране на този вход се подават програмиращите импулси;
- *OE - разрешаване на изходите за четене при ниско ниво в нормален режим, а при програмиране се подава високо ниво;
- Vpp - при програмиране на този вход се подава напрежение +21V за 2764 или +12.5V за 2764A, а при нормална работа се свързва към Vcc +5V;
- Vcc - захранващо напрежение +5V;
- GND - маса.

Програмирането на EPROM схемата става като се подаде програмиращо напрежение Vpp, а на входа *OE високо ниво. Данните за програмиране се подават на изводи D0÷D7, а съответните адреси на входове A0÷A12. Програмиращите импулси се подават на вход *CE/PGM и са с активно ниско ниво. Максималната продължителност на програмиращия импулс се определя от производителя на схемата.

В "Правец - 8С" такива схеми се използват за постоянна памет, за знакогенератор и за съхранение на инициализиращите и драйверни програми.

7. ХАРАКТЕРНИ НЕИЗПРАВНОСТИ.

7.1. ПО БЛОКОВЕ.

7.1.1. ТАКТОВ ГЕНЕРАТОР.

Повредите в този блок са свързани с липсата на един или няколко тактови сигнала. Те могат да се сведат до три основни групи повреди:

- повреда на кварцовия генератор G1. При тази повреда на изход 3 на генератора отсъства тактовата поредица с честота 14.31818 MHz. която представлява сигнал 14M.
- повреда в интегрална схема 74F109 (D14). Повредите в тази интегрална схема предизвикват липса на сигнал 7M и/или сигнал 3.58M. Липсата на някои от тези сигнали води до смущения в работата на интегрална схема CM 633 (D11) в резултат на което част от изходните сигнали на същата липсват.
- повреда на интегрална схема CM 633 води до липса на някои от сигналите изработвани в същата. Това са сигналите F0, F1, Q3, *PRAS, *PCAS, VID7M и *LDPS. Липсата на сигнал *PCAS може да се дължи и на липса на сигнал *CASEN от интегрална схема CM 631.

Търсенето на повредите в този блок става в последователност - кварцов генератор, JK-тригери в 74F109 и в интегрална схема CM 633.

7.1.2. МИКРОПРОЦЕСОР.

Повредите в този блок спират работата на целия микрокомпютър, но тези повреди се срещат сравнително рядко. При повреда на адресна линия, същата се намира в случайно състояние. По често повредата е липсата на един или няколко адреса или окъсяване между адреси. Подобен род повреди се срещат и по шина данни. Изправността на микропроцесора (респективно неизправността) се установява най-лесно с включването му в друго изправно устройство.

7.1.3. АДРЕСНИ БУФЕРИ.

Повредите в адресните буфери се свеждат до два основни вида - липса на управление или повреда в самия буфер. Тъй като адресната магистрала е шестнадесет битова за младшите адреси (от A0 до A7) това е буфер D48, а за старшите (от A8 до A15) - D44. Първоначално се проверява сигнала на изводи 1 и 19 на D48 и D44. Те трябва да са лог. "1", ако не са то или има външно устройство подало сигнал за директен достъп до паметта *DMA, или линия *DMA е на късо с маса или е повреден транзистор 2T3606 - VT2. При наличие на управляващи сигнали, то на съответните входове и изходи при разрешен буфер има еднакви информационни сигнали. Ако има разлика между съответни изходни спрямо входни сигнали, то тези линии се проверяват за късо съединение към маса, плюс 5 волта или съседни адресни линии. При липсаа на такова окъсяване е повреден самия буфер, но е възможно макар и по-рядко това да се дължи на друга схема свързана с тази адресна линия.

7.1.4. БУФЕР ДАННИ.

Тук повредите също могат да се разделят на повреди в управлението и повреди в буфера. Ако сигнала на извод 1 (DIR) е с постоянно ниво, а сигнала R/*W245 от СМ 631 е импулсна поредица (каквато е нормално) то е прекъсната връзката между двете схеми. При постоянен сигнал на извод 19 (G) се проверяват сигнали R/*W и F0 на входове 2 и 3 на интегрална схема D6. Ако те са нормални повредата е в D6, а ако не са - се проверяват блоковете, които ги изработват. За повредите в самия буфер са валидни същите действия, които описахме за адресните буфери.

7.1.5. ПОСТОЯННА ПАМЕТ EPROM.

Схемите тип EPROM се повреждат сравнително рядко. Когато това все пак се случи обикновенно повредата е в буфера за данни, който излиза от строя и данните от EPROM - а са недостъпни за четене. При съмнение за повреда в EPROM - а първо се проверява захранването, наличието на лог. "0" на извод 20 (*CE) и импулсна поредица на иззвод 22 (*OE). При отсъствие на сигнал на извод 20 имаме прекъсване в цокъла на интегралната схема или на веригата към маса. Когато отсъства импулсната поредица на извод 22 това се дължи на повреда в СМ 631 или прекъсване по линията между двете схеми. Всичко това е валидно, ако издаденият от микропроцесора адрес е валиден за съответния EPROM. Ако тези сигнали са нормални, адреса е валиден, а изходите за данни остават във високоимпедансно състояние, то повредена е самата интегрална схема тип EPROM.

7.1.6. СХЕМА ЗА УПРАВЛЕНИЕ НА ПАМЕТТА.

Повредата в тази схема се отразява обикновено върху цялостната работа на микрокомпютъра. В зависимост от издадения от микропроцесора адрес се изработва един или друг сигнал. Отсъствието на някой от тях води до ограничение в работата на микрокомпютъра. Например липсата на:

- сигнала *EN80 изключва възможността за работа с повишена разделителна способност,
- сигнала *KBD - работа с клавиатурата,
- сигнала CXXX - работата с входно - изходните устройства,
- сигнала R/*W245 - работа с устройства свързани към външната шина данни,
- сигналите *ROMEN1 и *ROMEN2 - работата с EPROM.

Докато при тези сигнали е възможно микрокомпютърът да продължи работата си, макар и с недостатъци, то при повреда в блока изработващ мултиплексираните адреси RA0÷RA7 продължаването на работата е невъзможно.

7.1.7. СИСТЕМНА И ДОПЪЛНИТЕЛНА ОПЕРАТИВНА ПАМЕТ.

За нормалната работа на оперативната памет е необходимо наличието на сигнали *RAS, *CAS и *WE. За основната оперативна памет те се изработват от СМ 633 (*PRAS и *PCAS) и буферирания сигнал MR/*W, а за допълнителната оперативна памет сигнаала *CAS е заменен със сигнала Q3, също от СМ 633 и сигнала MR/*W е заменен от R/*W, разрешаван от сигнала *EN80. Ако сигнала *PCAS не се изработва причината за това може да е не само в

СМ 633, но и в СМ 631, която със сигнала си *CASEN го разрешава. При отсъствие на тези сигнали микрокомпютърът не работи, но ако те са нормални повредата е в СМ 631 или СМ 632, които изработват мултиплексираните адреси за работа и за опресняване на паметта. Най-често се случва да е повреден един от осемте чипа RAM. Тогава съответния бит данни е постоянно във високо ниво.

7.1.8. СХЕМА ЗА УПРАВЛЕНИЕ НА ВГРАДЕНИТЕ ВХОДНО-ИЗХОДНИ УСТРОЙСТВА.

Това е един от най-често дефектиращите елементи в микрокомпютъра. Обикновено повредите са свързани с влошаване качеството на изображението, но ако сигналът *WNDW е постоянно с високо ниво, то видеоизображение въобще липсва. При повреда в блока, изработващ сигналите SEGA, SEGB, VC, *RA9, *RA10 и GR се формират неправилно видеоданните или не се променя режима на изображение. При некоректен сигнал GR и работа с цветен видеомонитор са възможни смущения в цветовете на изображението. Липсата на сигнал SYNC води до липса на изображение на видеомонитора поради липса на синхроимпулси. На повреди в тази схема се дължи липсата на опресняване на оперативната памет, обработката на сигналите постъпващи от клавиатурата, не извеждане на информация на цифровите изходи.

7.1.9. БУФЕР И СХЕМА ЗА ГЕНЕРИРАНЕ НА ВИДЕОДАННИ.

Повредите в този блок водят до липса на видеоизображение или влошават неговото качество. При повреда на буфера 74LS374 (D53) не се получават видеоданни и екрана е тъмен. Ако повредата е в знакогенератора то изображението е влошено при липса на адрес или липса на сигнал от СМ 632 или липсва изображение при повреда в изходния буфер на знакогенератора. Повреди в 74LS166 (D17) и 74LS02 (D6B) водят до липса на видеоизображение.

7.1.10. СХЕМА ЗА УПРАВЛЕНИЕ НА КЛАВИАТУРАТА.

Повредите в този блок са свързани най-вече с управлението на актуалната кодова таблица и обработката на най-старшия бит данни от клавиатурата. Във формирането на сигнала SOFTSW участват интегралните схеми 74154 (D61), 74LS125 (D29A) и 74LS74 (D12B). Когато този сигнал липсва, то повредата трябва да се търси в една от тези схеми. При липса на най-старшия бит данни от клавиатурата повредата е в една от следните интегрални схеми - D61, D12A и D15 (74LS251). Възможна е и липса на останалите данни от клавиатурата. Тази повреда е свързана с повреда в буфер 74LS374 (D18), липса на сигнал *KBD от СМ 631 или сигнал STROBE не се изработва от СМ 650 в клавиатурата.

7.1.11. ФЛОПИДИСК КОНТРОЛЕР.

Най-честите повреди в този блок са свързани с интегрална схема 74LS259 (D4). Това са повреди в управлението фазите на двигателя, избора на устройство (това може да се дължи и на повреда в 74LS132) и обмена на данни. Грешки в обменна на данни могат да възникнат и при повреда в микропрограмния автомат, където най-често дефектират интегралните схеми 74LS174 и 74LS05, а по-рядко 74LS323. Обикновено PROM-овете 82S129 не дефектират.

7.1.12. RGB

Повредите в този блок се свеждат до липса на някой от цветовите сигнали в графичен режим. Повредения елемент се установява като се проследи веригата за съответния цвят. Тези вериги са следните:

- за червения цвят - извод 6 на D3, извод 5 на D1, извод 7 на D1, извод 6 на D2 и извод 7 на D2.
- за зеления цвят - извод 10 на D3, извод 12 на D1, извод 10 на D1, извод 13 на D2 и извод 12 на D2.
- за синия цвят - извод 11 на D3, извод 13 на D1, извод 15 на D1, извод 10 на D2 и извод 9 на D2.
- за сигнал LUM - извод 12 на D3, извод 4 на D1, извод 2 на D1, извод 3 на D2 и извод 4 на D2.

Когато в графичен режим имаме черно - бяло изображение най-вероятно това се дължи на липсата на сигнал GR от CM 632 на изводи 1 на D1 и D2.

7.1.13. КЛАВИАТУРА.

Повредите в клавиатуратаа се свеждат до три основни типа. Първо - не се отработва единичен клавиш. Това се дължи на зацапана контактна площадка на клавиша. Второ - не се отработва група от клавиши. Повредата може да се дължи на дефект в дешифратора 74145 или в някой от диодите от V4 до V11. Трето - липса на сигнали към микрокомпютъра и липса на индикация за CAPS LOCK и C/L LOCK. Тези повреди се дължат на дефект в CM 650.

7.1.14. ПАРАЛЕЛЕН ИНТЕРФЕЙС.

Ако интерфейса не се инициализира повредата е в блока изработващ сигнала *OE за интегрална схема D38, състоящ се от схемите D19, D30 и D37. Липсата на сигнал PSTR може да се дължи на повреда в някоя от интегралните схеми D13, D35 и D37, на сигнала ACK в D29, D35 и D37, на сигнала BUSY в D29 и D37. Грешните данни се дължат на повреда в буфера D36, а липсата на данни на дефект в някоя от схемите D13 и D37.

7.1.15. ТАКТОВ ГЕНЕРАТОР ЗА RS232C.

Повредата може да е в кварцовия генератор G2 или в D21. На извод 3 на G2 нормално има правоъгълни импулси с честота 18.432 MHz. Ако те липсват повредата е кварцовия генератор G2. Ако тези импулси съществуват се проверява на извод 12 на интегрална схема 74LS90 (D21), където правоъгълните импулси трябва да са с честота 1.8432 MHz. Ако тези импулси отсъстват повредата е в D21.

7.1.16. RS232C.

Почти всички повреди в този блок се дължат на дефект в 8250 (D24). Ако на изходите на 8250 някой от сигналите за предаване са налице, а на изхода на интерфейса липсват, то повредата е в предавателя на линия 75150 (D28). Ако на входа на интерфейса се получават сигнали от модема или външното устройство, а на входовете на 8250 липсват, то повредата е в приемниците на линия 75154 (D23). Всички останали повреди в интерфейса се дължат на дефект в 8250.

7.2. ПО ФУНКЦИОНАЛЕН ПРИЗНАК

7.2.1. НЕДОСТАТЪЦИ НА ВИДЕОИЗОБРАЖЕНИЕТО.

Това е често срещана повреда която може да се разглежда като четири отделни такива:

- липса на изображение;
- липса на синхронизация;
- липса на цвят (цветове) в графичен режим;
- нестабилно или некачествено изображение.

Липсата на изображение е сигнал за повреда в някои от следните възли:

- видеосмесител;
- схема за формиране на видеоданни;
- знакогенератор;
- буфер за видеоданни;
- схема за управление на вградените входно-изходни устройства;
- липса на управляващ сигнал (сигнали) в някои от възлите.

Локализирането на тази повреда става чрез осцилоскоп, проследявайки сигнала във отделните възли по реда на изброяването им. Обикновенно тази повреда се дължи на липса на сигнал *LDPS и/или VID7M които управляват преместващия регистър 74LS166. Друга възможна причина е повреда във видеосмесителя (VT1) или в схемата за управление на вградените входно-изходни устройства.

Липсата на синхронизация е свързана с прекъсване на R3 във видеосмесителя или повреда в схемата за управление на вградените входно-изходни устройства СМ 632.

Липсата на цветове в графичен режим трябва да се търси б блок RGB. Първоначално се проверява управлението на изходния мултиплексор и четирите D-тригера (74LS175). Обикновенно повредата е в една от тези схеми или в управлението им.

Недостатъците в изображението са свързани с дефект в някои от възлите изброени по горе (при липса на изображение). Този дефект се дължи на повреда която не е фатална за работата на компютъра. Обикновенно такива повреди се откриват трудно, но най-често те са свързани със закъснение на някои сигнал или изменение на формата му. Недостатъците обикновенно изчезват след подмяна на схемата за управление на вградените входно-изходни устройства СМ 632.

7.2.2. ПРИ ВКЛЮЧВАНЕ НА ЗАХРАНВАНЕТО НА КОМПЮТЪРА НА ЕКРАНА СЕ НАБЛЮДАВАТ СЛУЧАЙНИ СИМВОЛИ. КОМПЮТЪРЪТ НЕ РАБОТИ.

Това е друг често срещан дефект който може да се дължи на най-различни повреди. Проверката за локализирането му се извършва в следния ред:

- проверка на тактовите и синхронизиращи сигнали;
- проверка за наличие на сигнал RESET от СМ 632 при включване на захранването;
- проверка на микропроцесора;
- проверка на буферите за данни и адреси;
- проверка на схемата за управление на паметта;
- проверка на RAM;
- проверка на EPROM.

Както се вижда от дългият списък от възли това е повреда която се открива трудно и за нейното отстраняване е неоходим опит. Практиката показва, че най-често повредата е свързана с липса на тактов сигнал, повреда в микропроцесора, повреди в буферите за адреси и данни в схемата за управление на паметта. Локализирането на тази повреда става чрез осцилоскоп по реда на изброяване на възлите.

7.2.3. ЛИПСА НА ИЗОБРАЖЕНИЕ И ИНДИКАЦИЯ ЗА ВКЛЮЧЕН КОМПЮТЪР.

Обикновенно тази повреда се дължи на дефект в захранващия блок на компютъра. Необходимо е да се провери цялоста на предпазителите, изправноста на импулсния трансформатор и стабилизаторите на напрежение.

8. ОБОРУДВАНЕ НА РАБОТНОТО МЯСТО.

За ремонта на компютър "Правец - 8С" са необходими следните инструменти и апаратура:

- мултицет със следните минимални обхвати:
  - напрежение:
    - постоянно - 100V;
    - променливо - 500V.
  - ток:
    - постоянен - 10A;
    - променлив - 2A.
  - съпротивление - 20 M .
  - клас на точност - минимум 1.5 .
- осцилоскоп с гранична честота над 50 MHz;
- поялник с мошност 30÷50 W;
- вакумпомпа;
- отверки;
- клеши;
- пинсети;
- малък нож или скалпел.

Препоръчително е включването в този списък и на тестер от типа на "СЕТ 6502". С помощта на подобен тестер е възможно локализирането на повредата до една или група от две-три интегрални схеми. При използване на тестер квалификацията на сервизните специалисти не е от значение. Когато такъв липсва минимума който е необходим е образование в областа на елктрониката или поне курс за поддържане на компютри от този тип.

9. ПРИЛОЖЕНИЯ.

Приложение I. Електрически схеми

1. Платка процесор
- Схема електрическа.
- Чертеж сборен.
- Сито. Страна елементи.
- Сито. Страна спойки.
- Сервизен печат.

2. Платка клавиатура
- Схема електрическа.
- Чертеж сборен.
- Сито. Страна елементи.

3. Кабел видео. Чертеж сборен.

4. Кабел RS 232 C. Чертеж сборен.

5. Кабел принтер. Чертеж сборен.

6. Кабел клавиатура. Чертеж сборен.

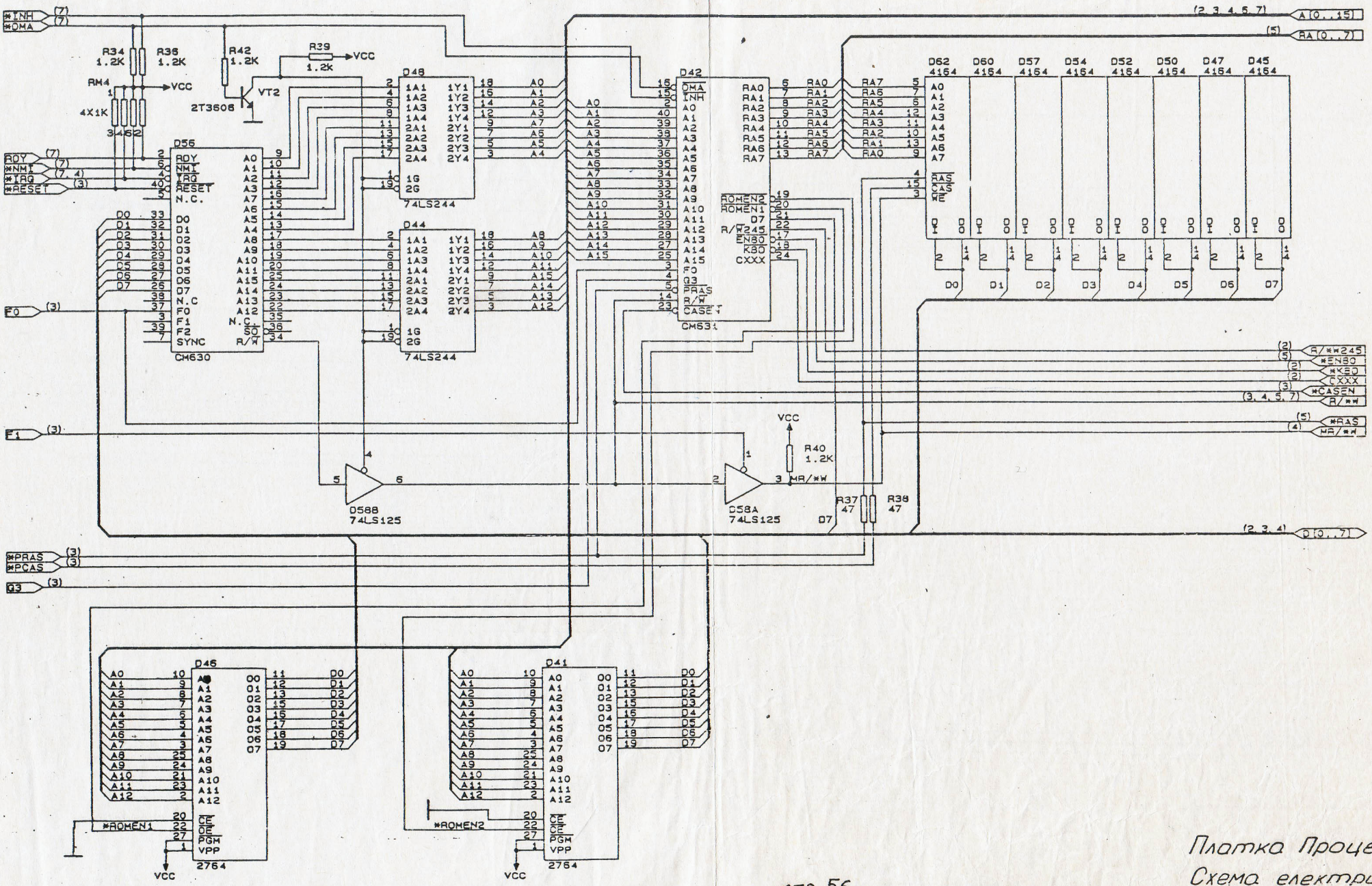
7. Кабел джойстик. Чертеж сборен.

Приложение II. Списъци на елементи

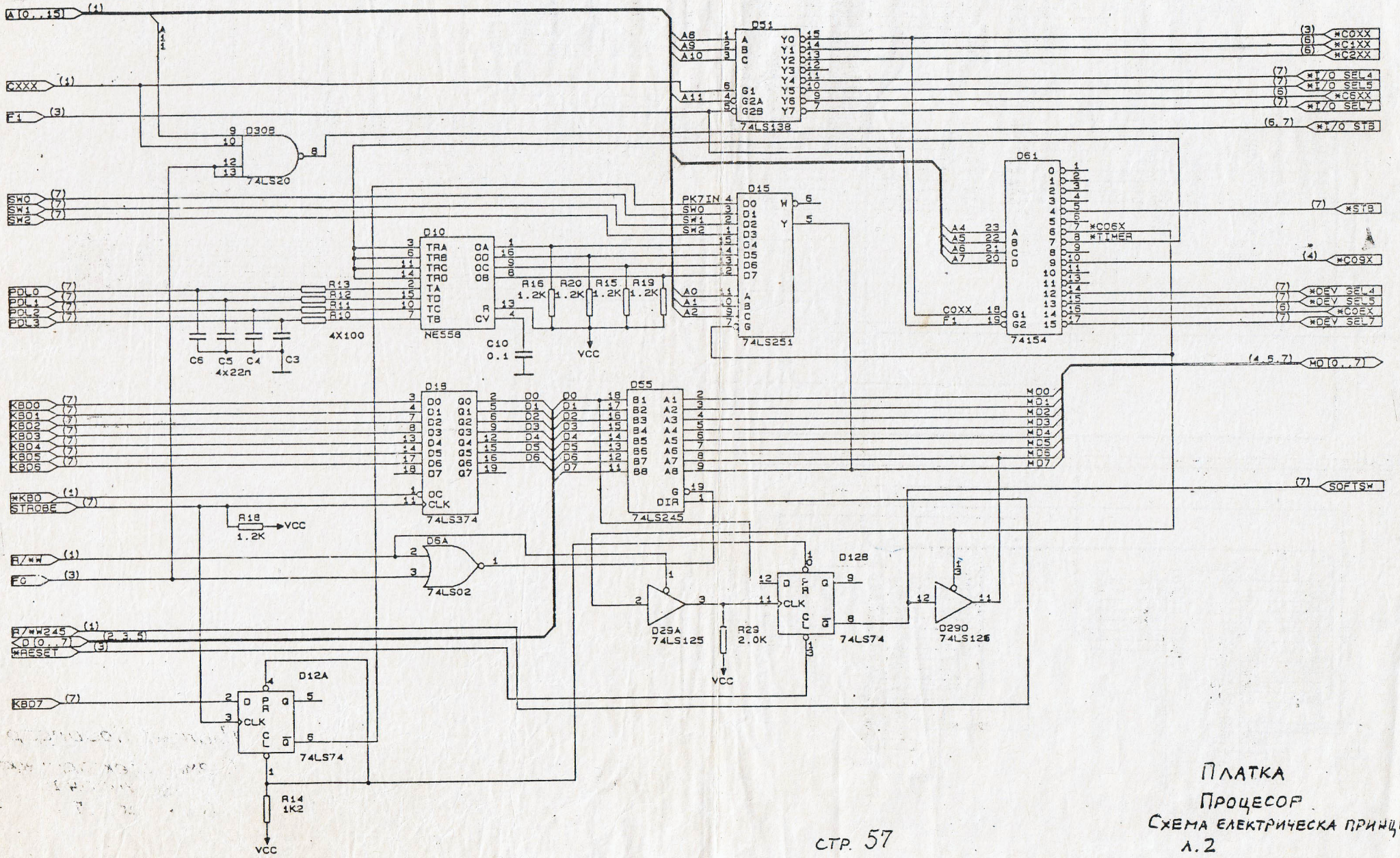
1. Списък на елементи по принципната схема.
2. Препоръчителен списък на резервни части за 100 броя компютри "Правец - 8С".
3. Възможни замени на електронни елементи.

ПРИЛОЖЕНИЕ I

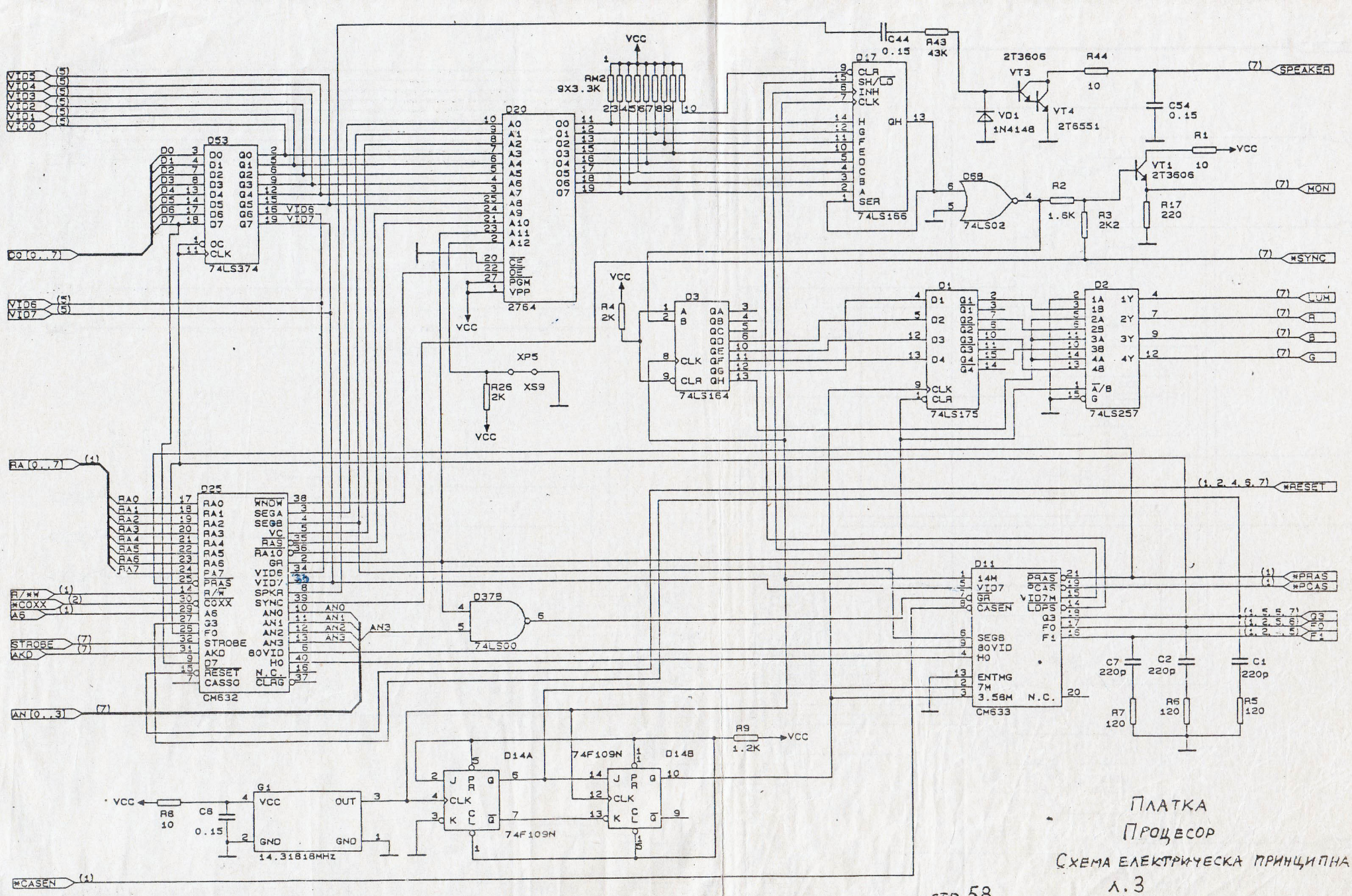
ЕЛЕКТРИЧЕСКИ СХЕМИ



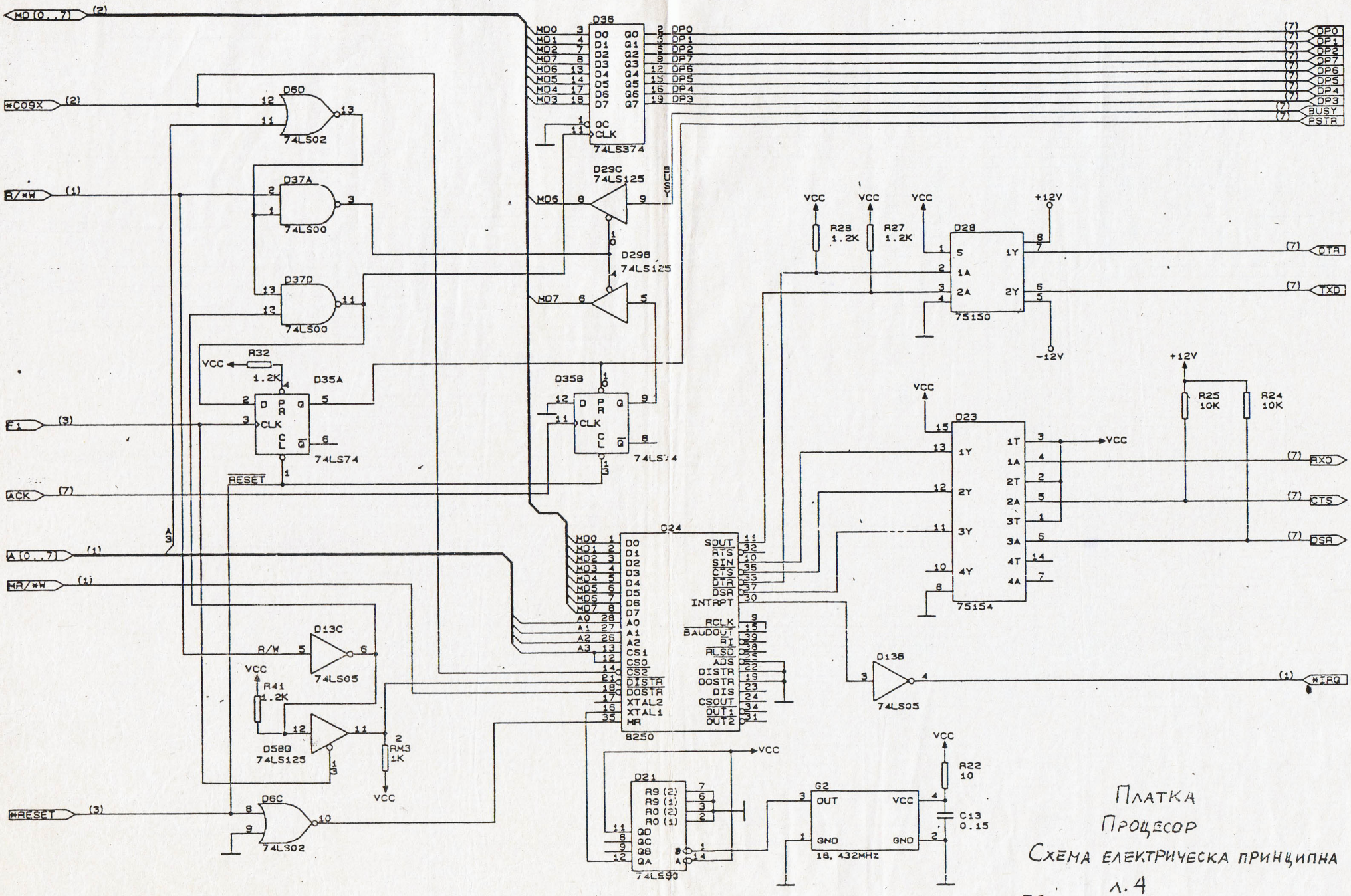
Плотка Процесор
Схема електрическо принципна
л.1. вс.л. 7



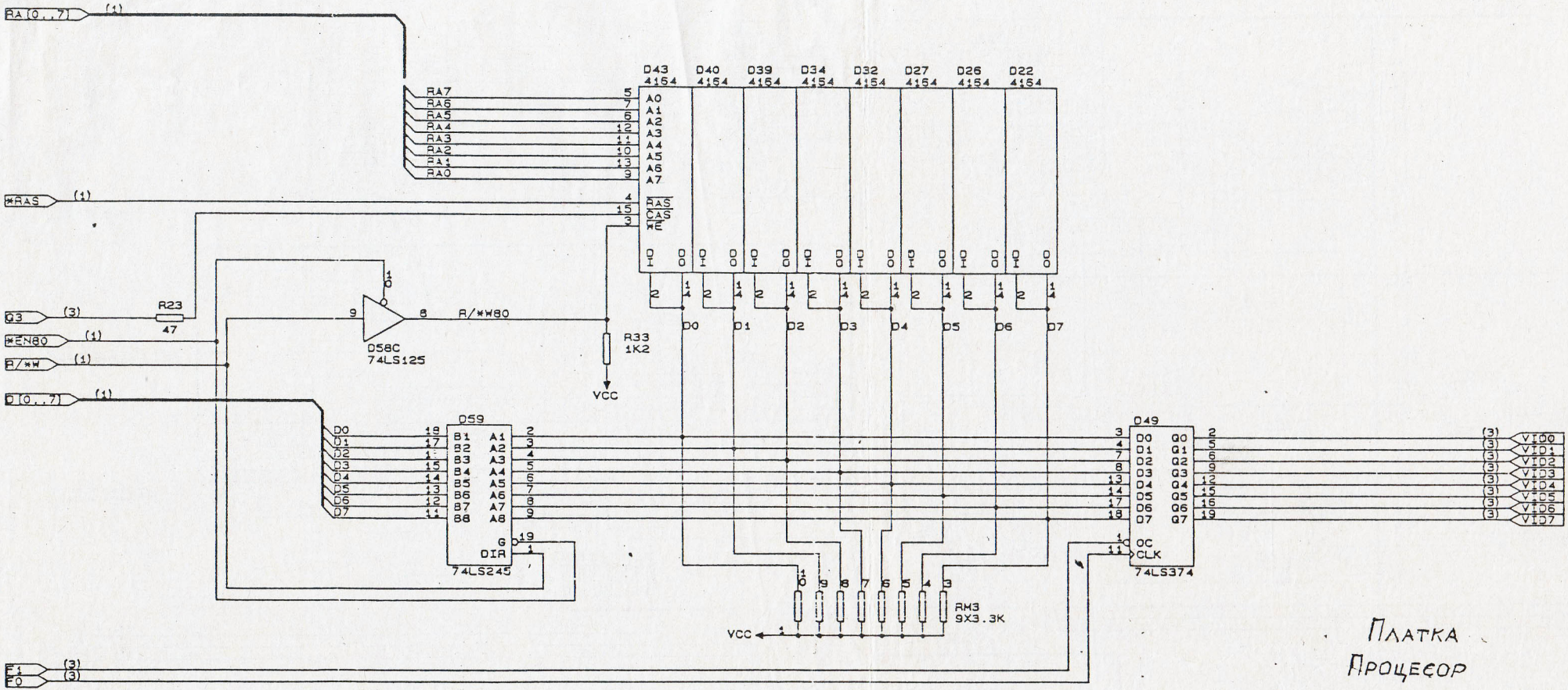
ПЛАТКА
ПРОЦЕСОР
СХЕМА ЕЛЕКТРИЧЕСКА ПРИНЦИПНА
л.2



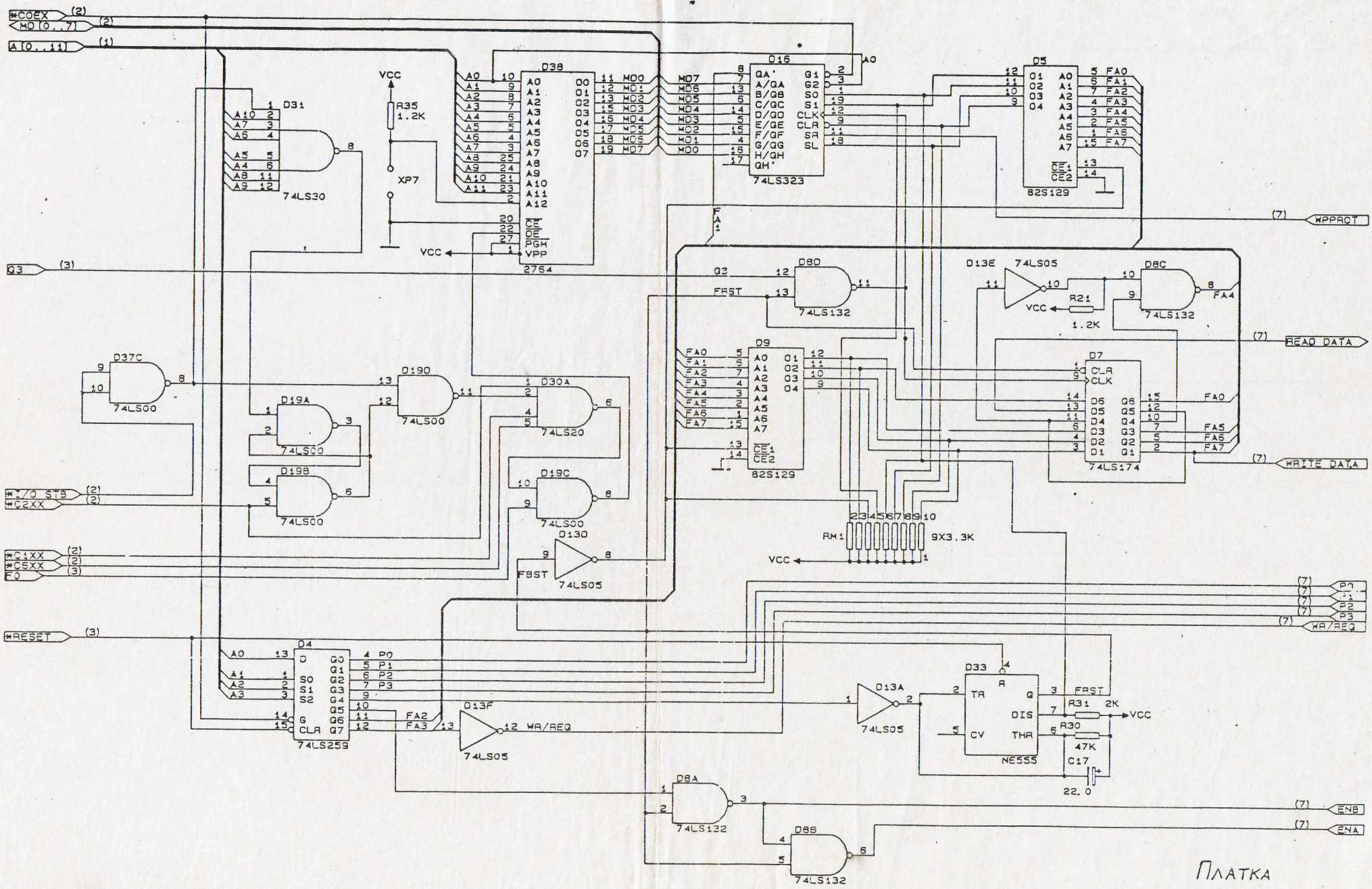
ПЛАТКА
ПРОЦЕСОР
СХЕМА ЕЛЕКТРИЧЕСКА ПРИНЦИПНА
л.3



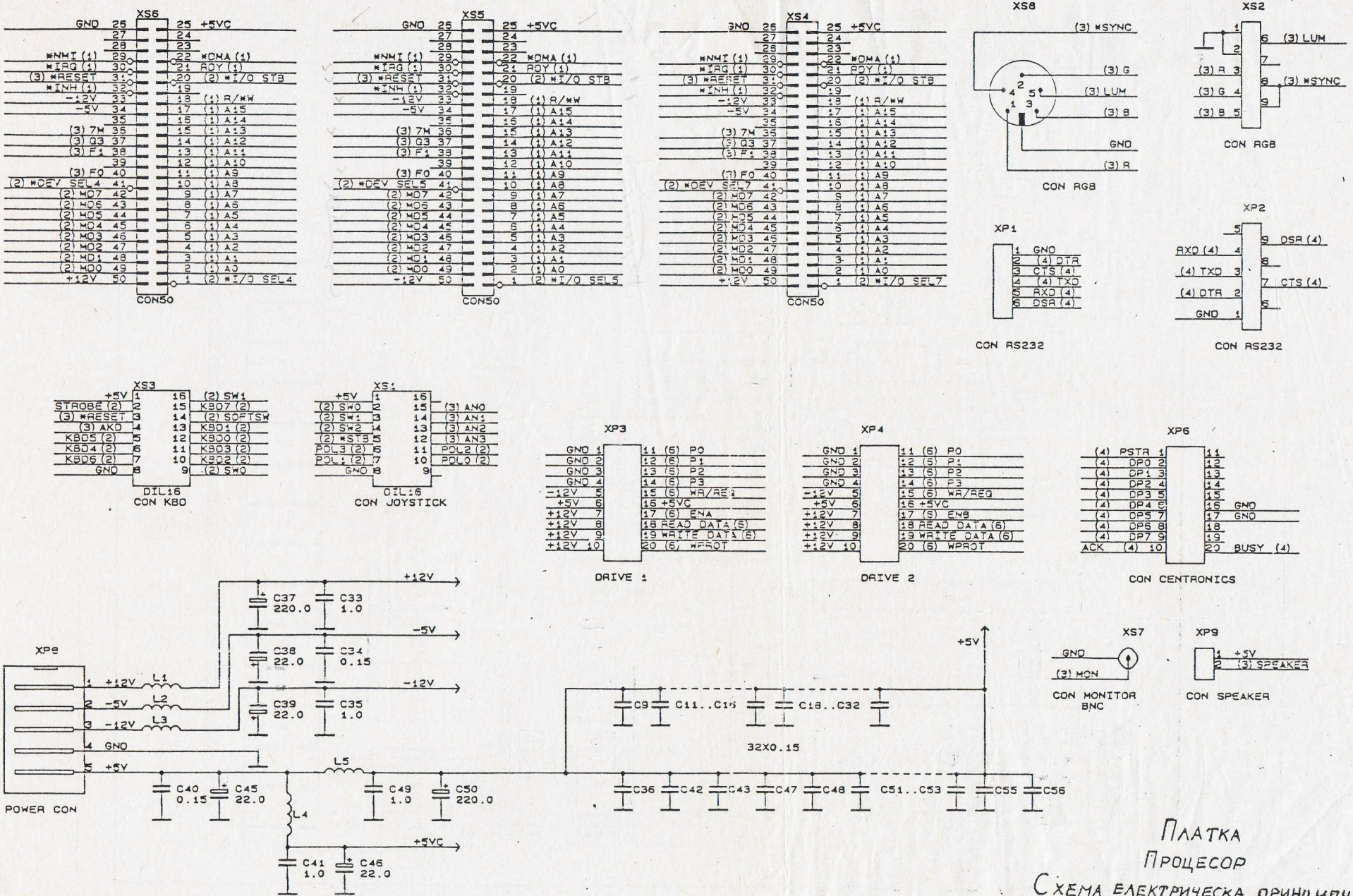
Платка
Процесор
Схема електрическа принципна
л. 4



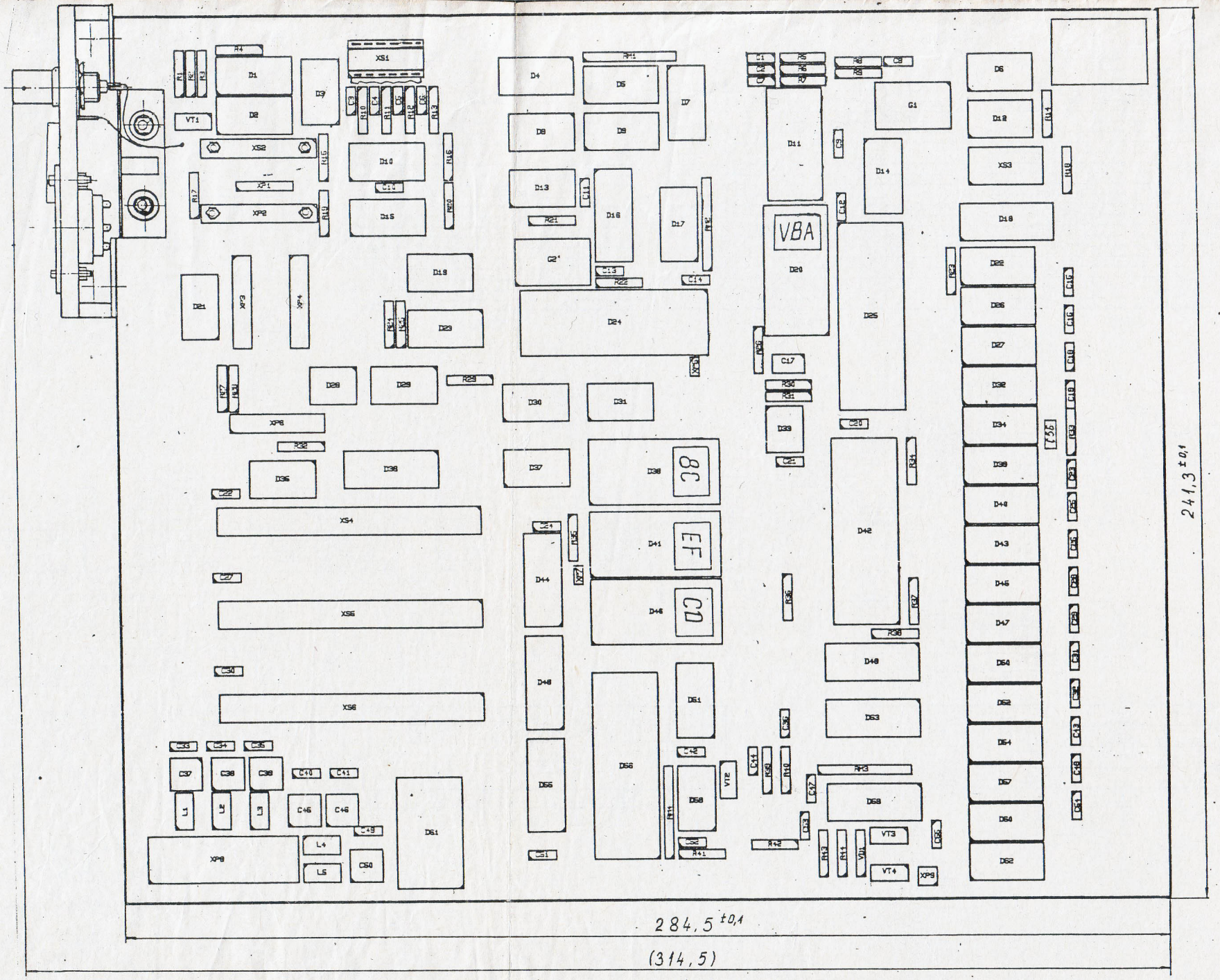
Платка
Процесор
Схема електрическа принципна
л.5



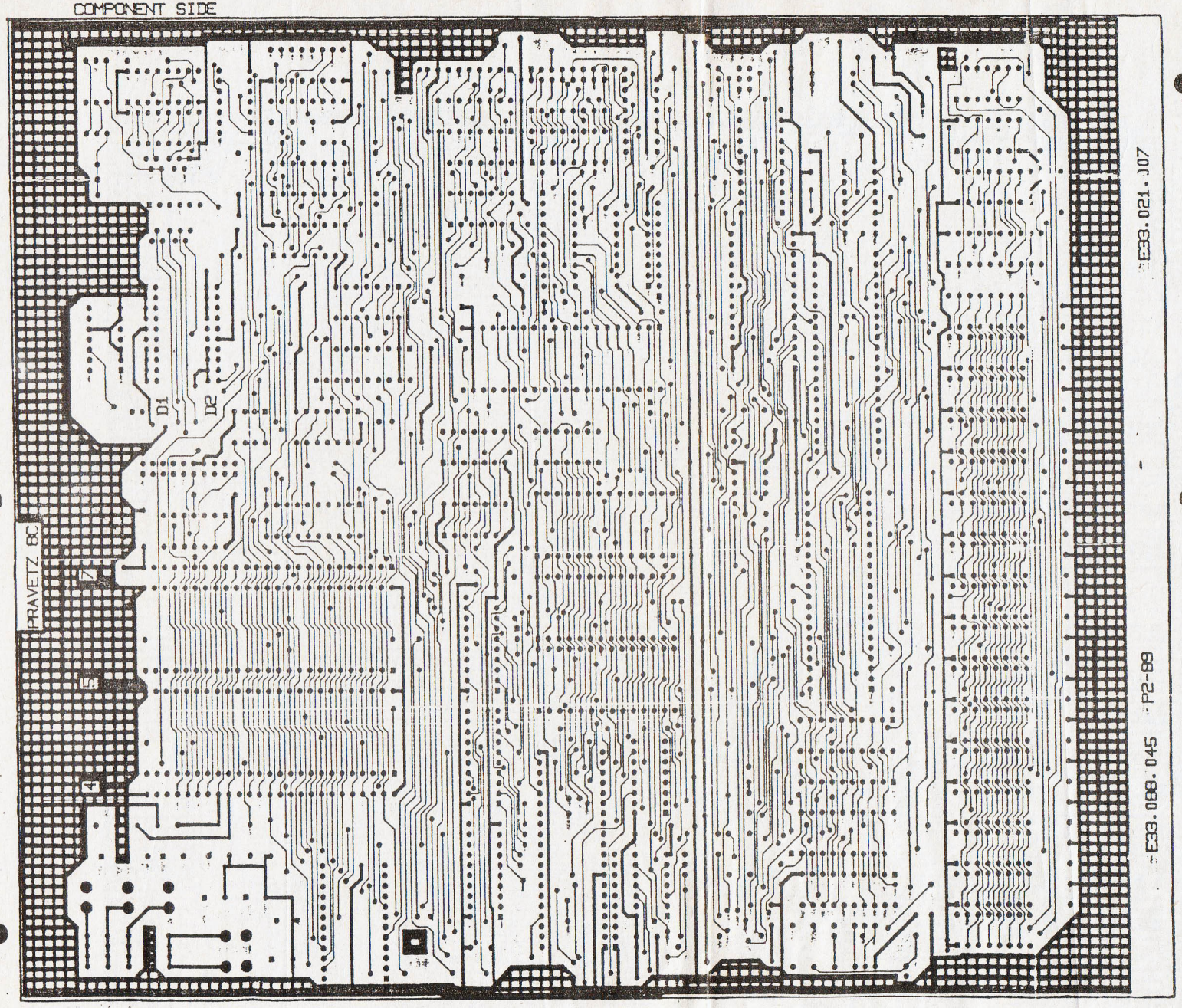
Платка
Процесор
Схема електрическа принципна
л. 6



Платка
Процесор
Схема електрическа принципна
л. 7



Платка Процесор



Сито

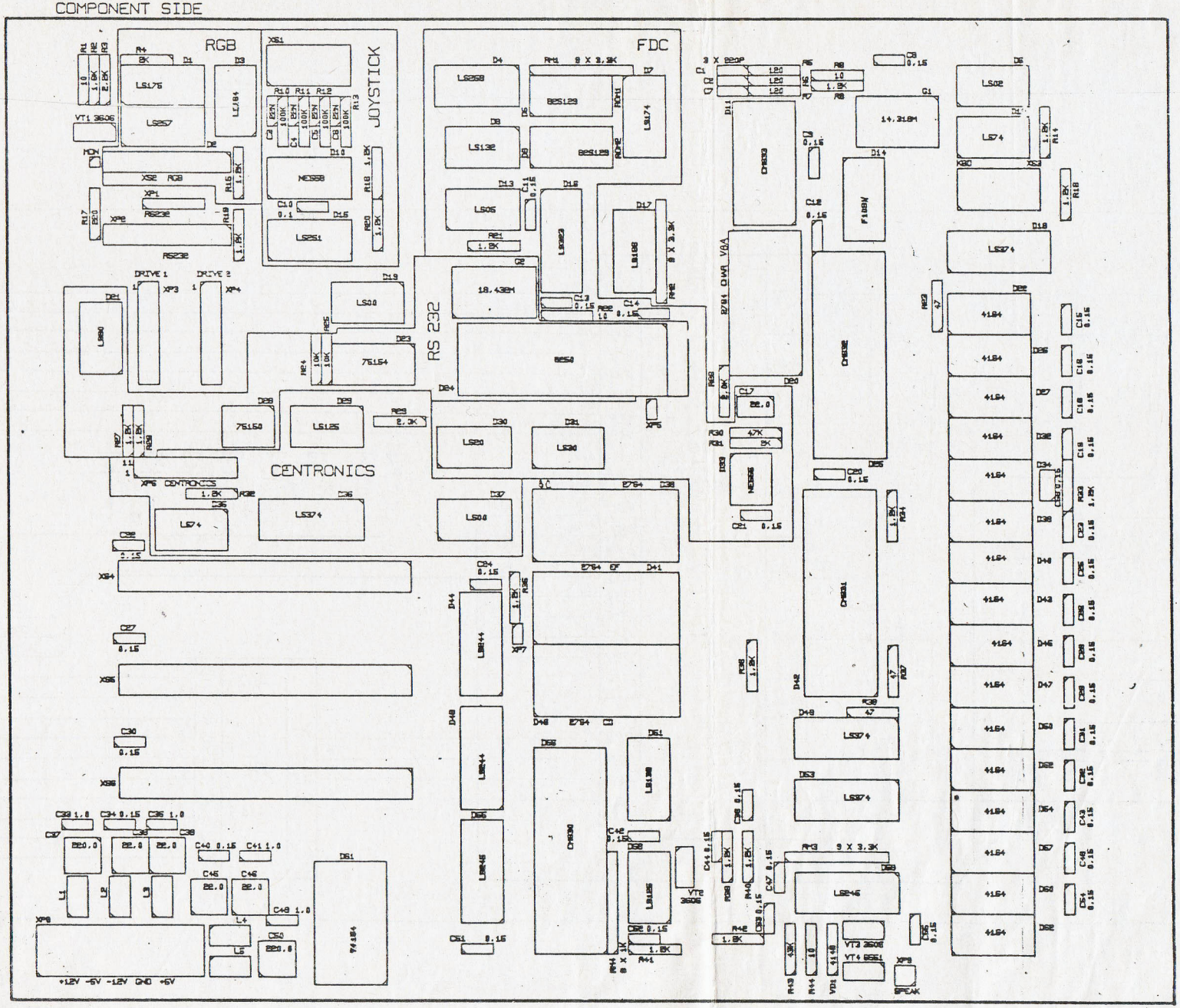
Страна елементи

SOLDER SIDE

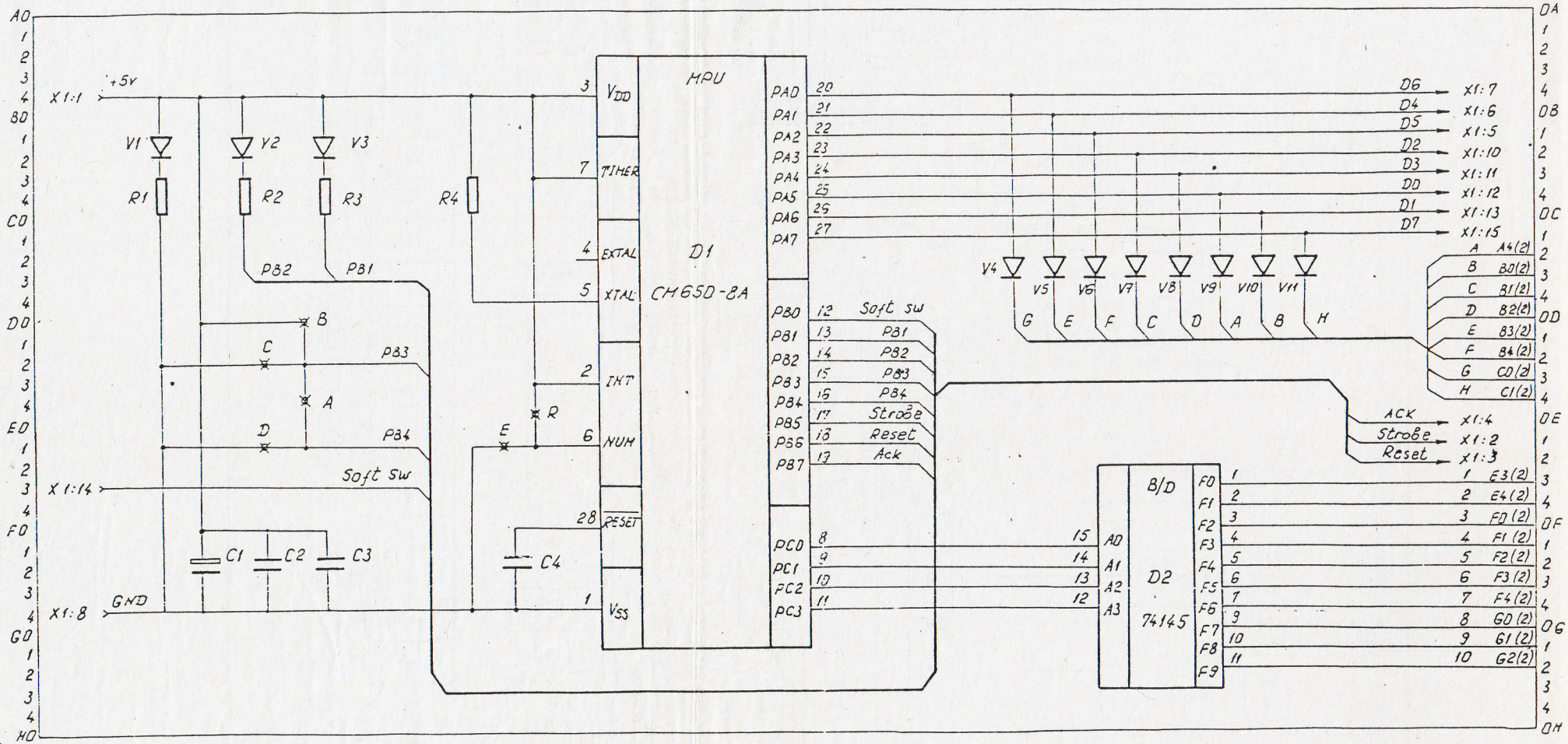
E37.102.042 P2-89

Сито

Страна спойки

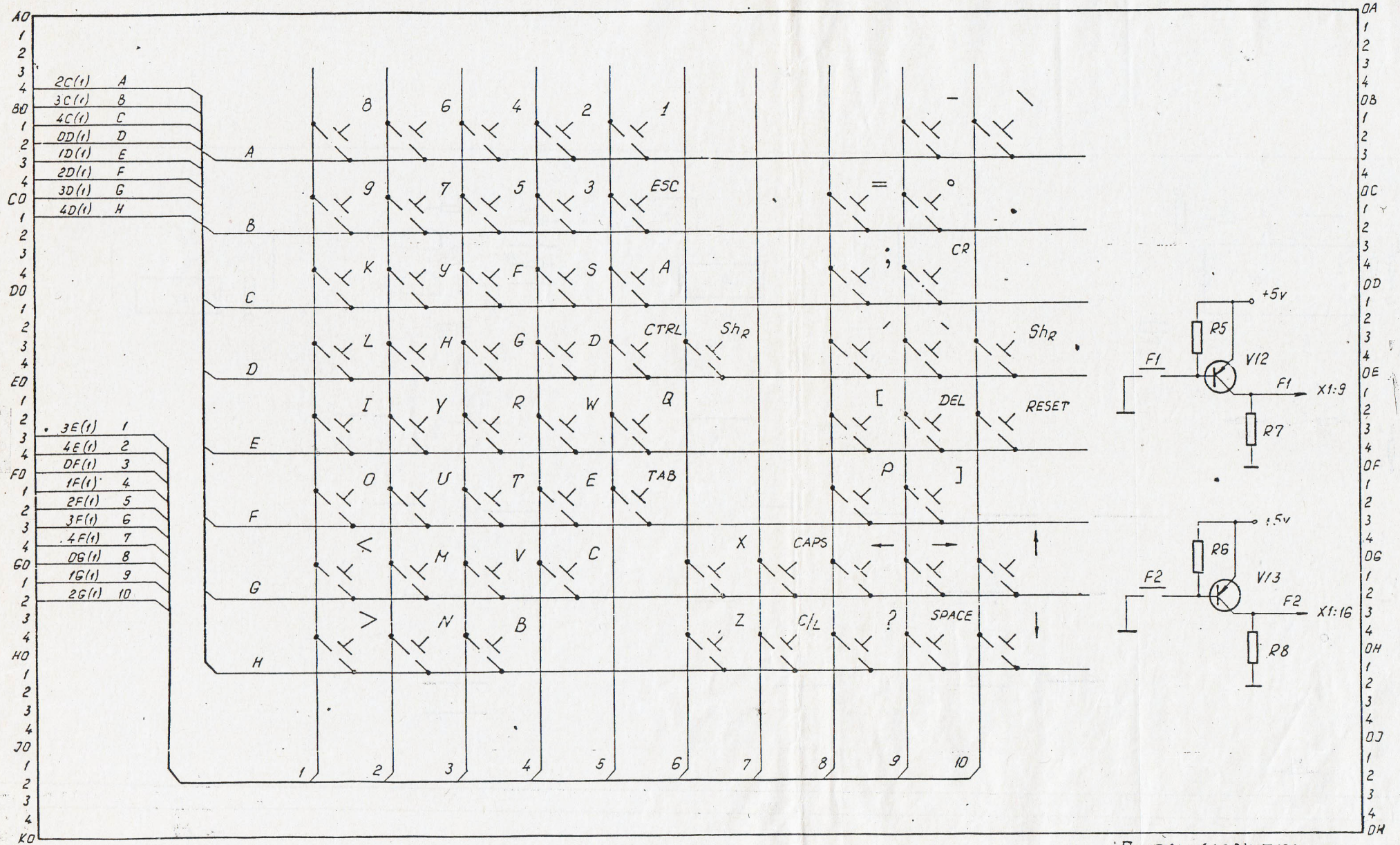


Сервизен
печат

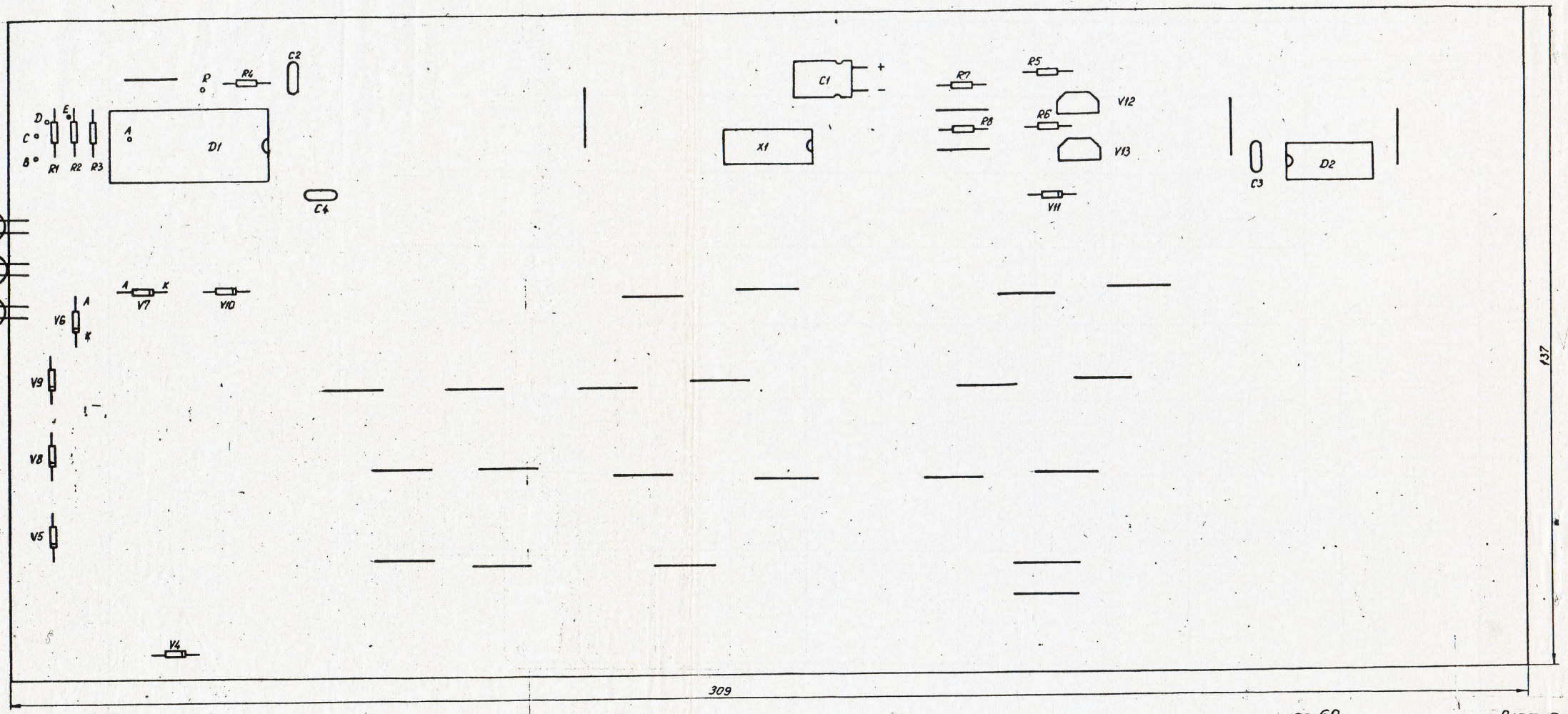


Платка
клавиатура

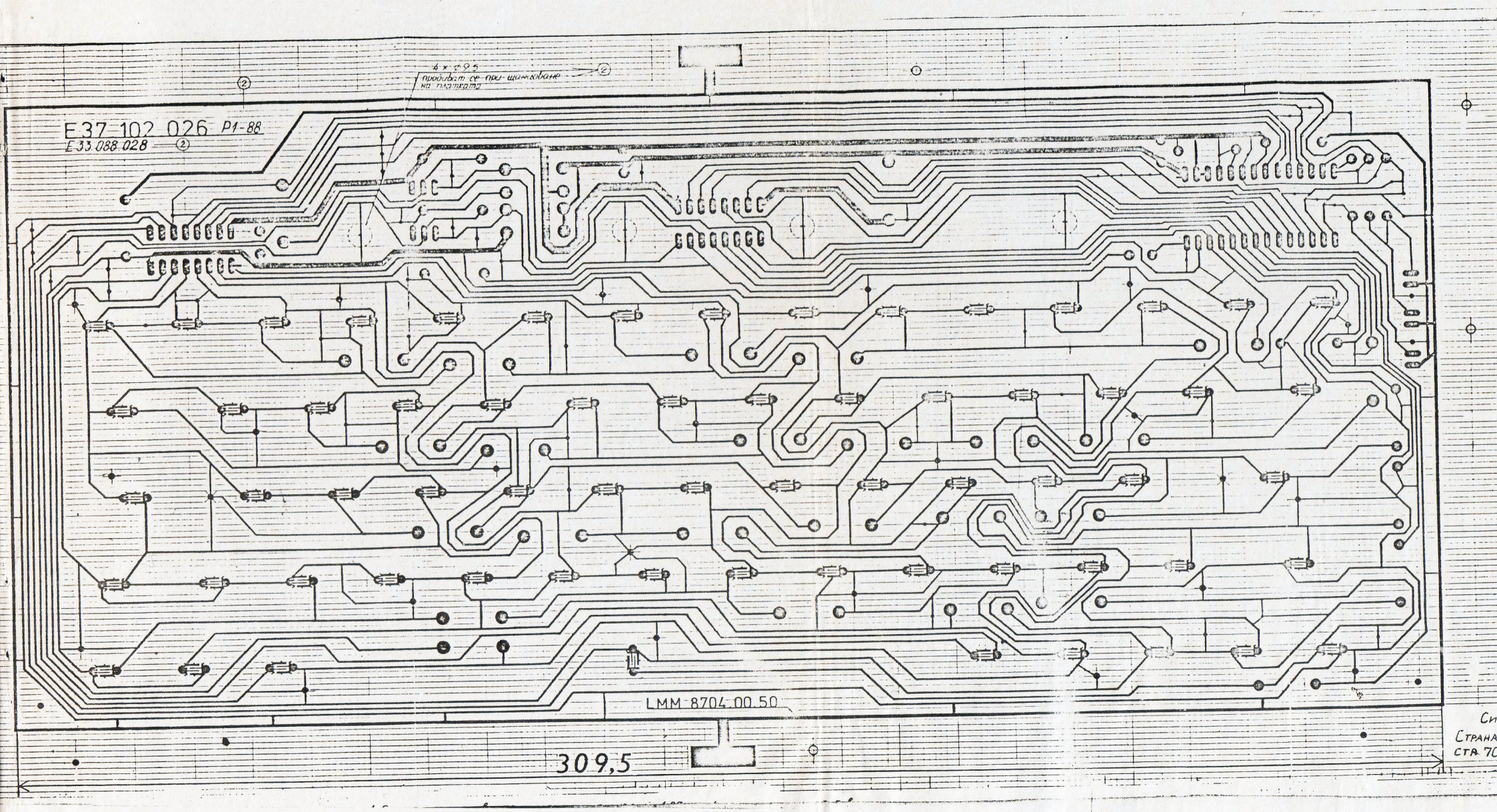
Схема електрическа
принципна л.1. вл2

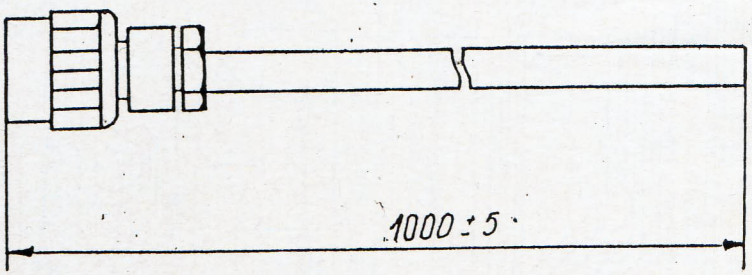


Платка клавиатура
Схема електрическа принципна А. 2



Платка клавиатура
Чертеж сборен


E37 102 026 P1-88
E33 088 028 ②
6 x ⌀2,5
пробивът се при-щампова-не на платката
②
LMM 8704.00.50
309,5



Кабел видео

(чертеж сборен)

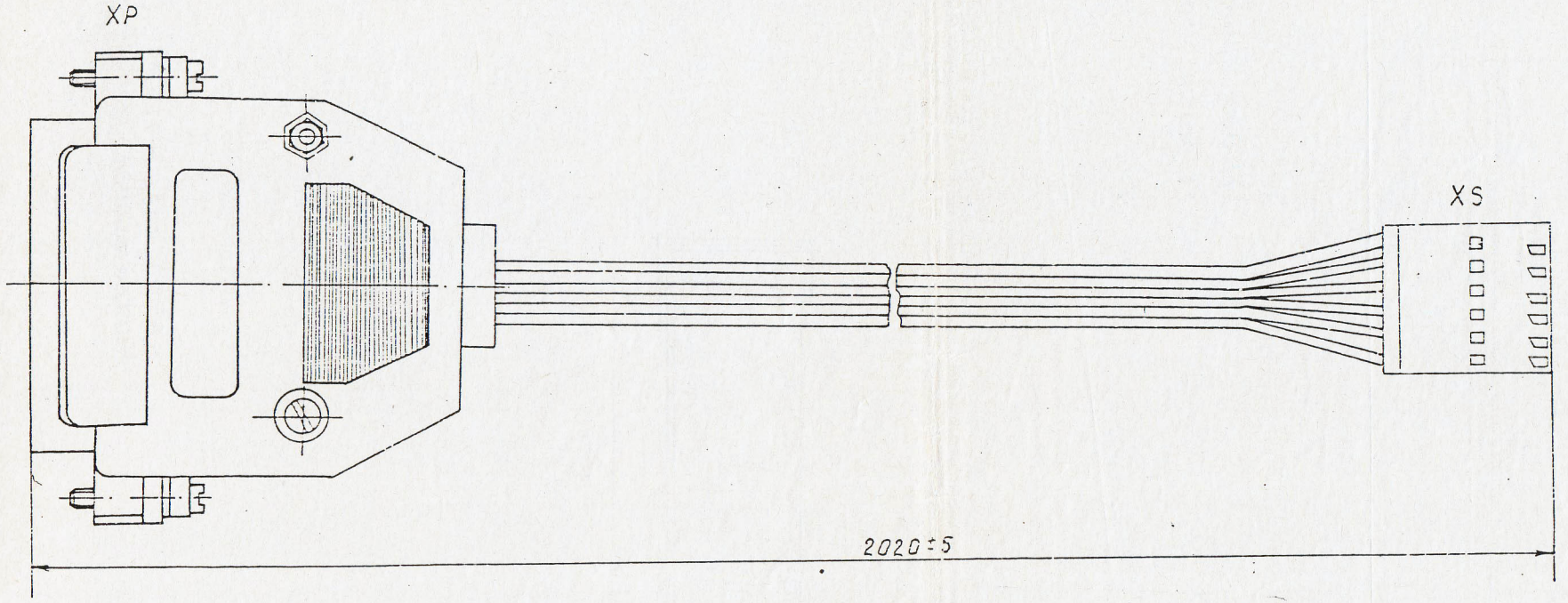
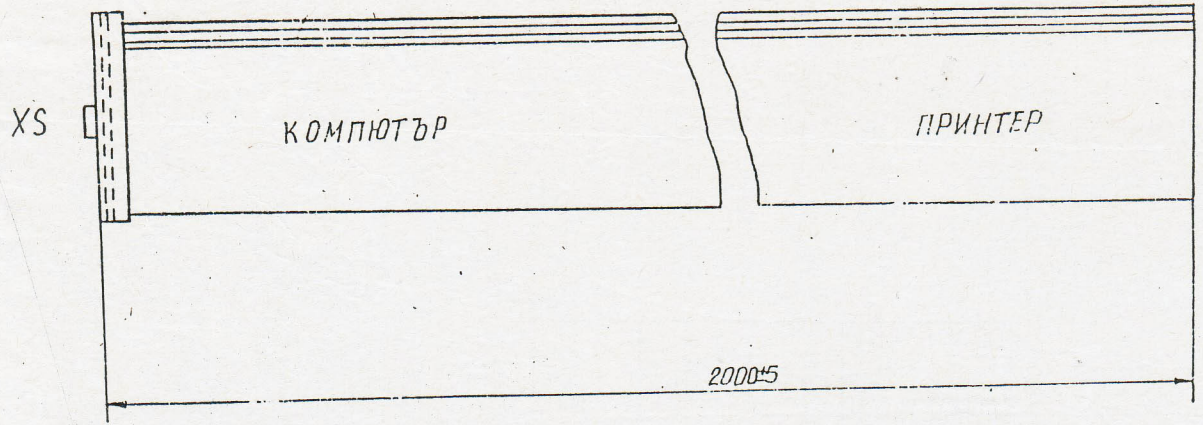


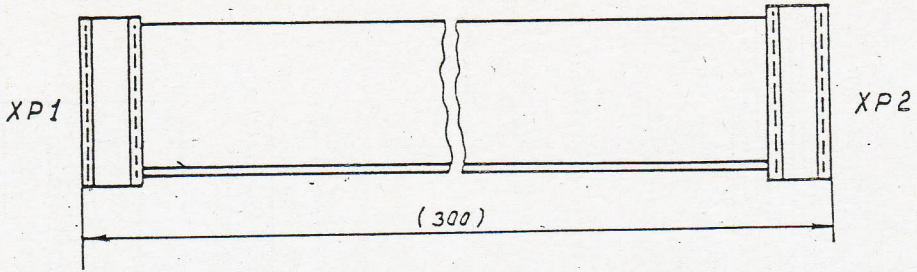
Таблица на връзките

№ на проводник	От къде идва		Къде отива	
	Елемент	Контакт	Елемент	Контакт
1	XS	1	XP	7
2	XS	2	XP	20
3	XS	3	XP	5
4	XS	4	XP	2
5	XS	5	XP	3
6	XS	6	XP	6

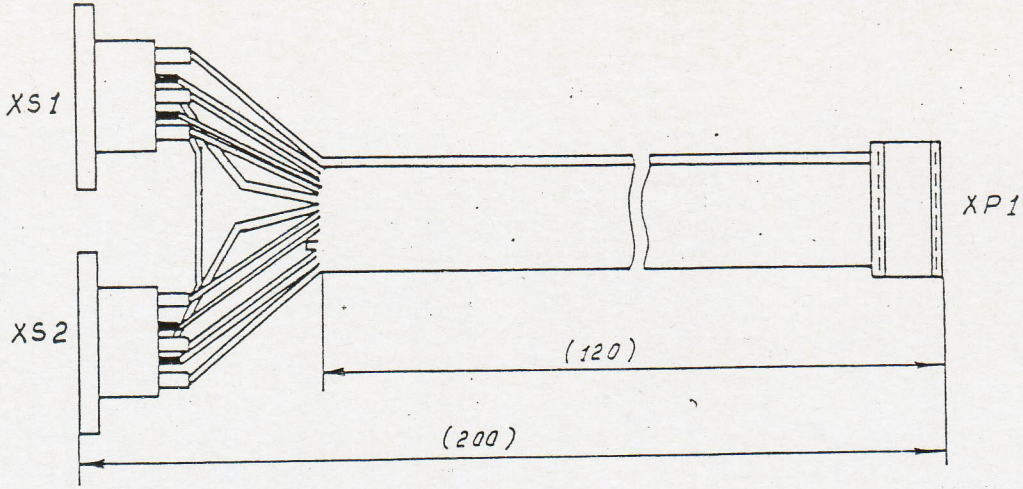
Кабел RS232C
/чертеж сборен/



Кабел принтер
/чертеж сборен/



КАБЕЛ КЛАВИАТУРА
Чертеж сборен



КАБЕЛ ЗА ДЖОЙСТИК

Чертеж сборен
л.1. вс. л 2

ТАБЛИЦА НА ВРЪЗКИТЕ

№ на проводник	От къде идва		Къде отива	
	Съединител	Перо	Съединител	Перо
1	XP1	1	XS1	1
2	XP1	2	XS1	4
3	XP1	3	XS1	2
4	XP1	4	XS2	4
5	XP1	5		
6	XP1	6	XS1	5
7	XP1	7	XS2	5
8	XP1	8	XS1	6
9	XP1	9		
10	XP1	10	XS1	3
11	XP1	11	XS2	3
12	XP1	12		
13	XP1	13		
14	XP1	14		
15	XP1	15		
16	XP1	16		
мостче	XS1	1	XS2	1
мостче	XS1	2	XS2	2
мостче	XS1	6	XS2	6

КАБЕЛ ЗА ДЖОЙСТИК
ЧЕРТЕЖ СБОРЕН
Л 2

ПРИЛОЖЕНИЕ II

СПИСЪЦИ НА ЕЛЕМЕНТИ

СПИСЪК НА ЕЛЕМЕНТИТЕ ПО ПРИЦИПНАТА СХЕМА

Номер по ред	Наименование на детайла	Брой
	Платка процесор	
1.	Винт 1В М4х12-5,8	2
2.	Винт с конусна глава 1В М3х10-5,8	6
3.	Гайка	
	М2,5-5	4
	М3-5	6
	М4-5	2
4.	Генератор кварцов	
	ХО 18 БТ5 14,31818 MHz - G1	1
	ХО 18 БТ5 18,432 MHz - G2	1
5.	Кондензатор КЕА-II-И1-ПМ-7Ц-555	
	22,0 16V	5
	220,0 16V	2
6.	Кондензатор КрМП-IB-NPO 63V/454 0,22 nF	3
7.	Кондензатор КрМП-II-С2 63V/454	
	22 nF	4
	100 nF	1
	150 nF	37
	1,0	4
8.	Интегрална схема 10И555СМ - D33	1
9.	Интегрална схема СМ 630 - D56	1
10.	Интегрална схема СМ 631 - D42	1
11.	Интегрална схема СМ 632 - D25	1
12.	Интегрална схема СМ 633 - D11	1
13.	Интегрална схема СМ 7864-06 - D46	1
14.	Интегрална схема СМ 7864-07 - D41	1
15.	Интегрална схема СМ 7864-08 - D20	1
16.	Интегрална схема СМ 8164 - D22, D26, D27, D32, D34, D39, D40, D43, D45, D47, D50, D52, D54, D57, D60, D62	16
17.	Куплунг магнетофонен - СА5	1
18.	Съединител кабелен ПФ 073.642.154	1
19.	Резистори постоянни РПМ-2 60/125/21 0,125W	
	10 Ohm	4
	47 Ohm	3
	100 Ohm	4
	120 Ohm	3
	220 Ohm	1
	1,2 kOhm	19
	1,6 kOhm	1
	2 kOhm	4
	2,2 kOhm	1

Номер по ред	Наименование на детайла	Брой
	10 kOhm	2
	43 kOhm	1
	47 kOhm	1
20.	Резисторни матрици	
	9x1 kOhm	1
	9x3,3 kOhm	3
21.	Транзистор 2T3606	3
22.	Транзистор 2T6551	1
23.	Диод 1N4148	1
24.	Интегрална схема 74F109N - D14	1
25.	Интегрална схема 74LS00 - D19, D37	2
26.	Интегрална схема 74LS02 - D6	1
27.	Интегрална схема 74LS05 - D13	1
28.	Интегрална схема 74LS20 - D30	1
29.	Интегрална схема 74LS30 - D31	1
30.	Интегрална схема 74LS74 - D12, D35	2
31.	Интегрална схема 74LS90 - D21	1
32.	Интегрална схема 74LS125 - D29, D58	2
33.	Интегрална схема 74LS132 - D8	1
34.	Интегрална схема 74LS138 - D51	1
35.	Интегрална схема 74154 - D61	1
36.	Интегрална схема 74LS164 - D3	1
37.	Интегрална схема 74LS166 - D17	1
38.	Интегрална схема 74LS174 - D7	1
39.	Интегрална схема 74LS175 - D1	1
40.	Интегрална схема 74LS244 - D44, D48	2
41.	Интегрална схема 74LS245 - D55, D59	2
42.	Интегрална схема 74LS251 - D15	1
43.	Интегрална схема 74LS257 - D2	1
44.	Интегрална схема 74LS259 - D4	1
45.	Интегрална схема 74LS323 - D16	1
46.	Интегрална схема 74LS374- D18, D36, D49, D53	4
47.	Интегрална схема 75150 - D28	1
48.	Интегрална схема 75154 - D23	1
49.	Интегрална схема 2764 - D38	1
50.	Интегрална схема 82S129 - D5, D9	2
51.	Интегрална схема 8250 - D24	1
52.	Интегрална схема NE558 - D10	1
53.	Съединител гнездов 207826-4 - XS2	1
54.	Съединител щифтов	
	0-826629-2 - XP5, XP7, XP9	3
	1-826632-0 - XP3, XP4, XP6	3
	0-826629-6 - XP1	1
	208006-2 - XP2	1
55.	Съединител директен	
	2-166087-5 - XS4, XS5, XS6	3
56.	Съединител коаксиален	
	BNC 50/G1 - XS7	1
57.	Цокли за интегрални схеми	
	641600-3 16 крака	4

Номер по ред	Наименование на детайла	Брой
	Платка клавиатура	
1.	Интегрална схема СМ 650-05 - D1	1
2.	Кондензатор КЕА-II-И1-ПМ-7Ц-555 10,0 16/18V	1
3.	Кондензатори КрМП-II-С2 63V/454 150 nF	2
	1,0	1
4.	Резистори РПМ-2 65/125/21 0,25W 330 Ohm	5
	4,7 kOhm	2
	20 kOhm	1
5.	Транзистор 2Т3851	2
6.	Диод 1N4148	8
7.	Интегрална схема 74145	1
8.	Светодиод VQA 24	3
9.	Цокъл 641600-3 16крака	1

ПРЕПОРЪЧИТЕЛЕН СПИСЪК
НА РЕЗЕРВНИ ЧАСТИ
/за 100 броя компютри/

1. Интегрална схема СМ630	2 броя.
2. Интегрална схема СМ631	2 броя.
3. Интегрална схема СМ632	10 броя.
4. Интегрална схема СМ633	2 броя.
5. Кварцов генератор 14,31818MHz	5 броя.
6. Интегрална схема СМ8164	10 броя.
7. Интегрална схема 74LS259	5 броя.
8. Транзистор 2Т3606	2 броя.

ВЪЗМОЖНИ ЗАМЕНИ НА ЕЛЕКТРОННИ ЕЛЕМЕНТИ

Наименование на елемента	Възможна замяна РБ	СССР	Други
1. SN74LS00	1ЛБ00ШМ	К555ЛА3	
2. SN74LS02		К555ЛЕ1	
3. SN74LS05		К555ЛН2	
4. SN74LS20		К555ЛА1	
5. SN74LS30		К555ЛА2	
6. SN74LS74	1ТД74ШМ	К555ТМ2	
7. SN74LS90	1ИЕ90ШМ	К555ИЕ2	
8. SN74LS125		К555ЛП8	
9. SN74LS132		К555ТЛ3	
10. SN74LS138		К555ИД7	
11. SN74154		К155ИД3	74LS154
12. SN74LS164		К555ИР8	
13. SN74LS174		К555ТМ9	
14. SN74LS175		К555ТМ8	
15. SN74LS244		К555АП5	
16. SN74LS245		К555АП6	
17. SN74LS251		К555КП15	
18. SN74LS257		К555КП11	
19. SN74LS259		К555ИР30	
20. SN74LS323		К555ИР29	
21. SN74LS374		К555ИР23	
22. SN75150		170АП2	
23. SN75154		170УП2	
24. СМ7864-06	СМ7864-06	К573РФ6	2764
25. СМ7864-07	СМ7864-07	К573РФ6	2764
26. СМ7864-08	СМ7864-08	К573РФ6	2764
27. СМ8164			MPD4164-2
28. 10И555СМ	10И555СМ		NE555
29. 82S129		К556РТ11	
		К556РТ4	
30. 8250	СМ611		
31. 1N4148	2Д5607		
32. 2Т3606	2Т3604		
	2Т3608		
33. Съединител 0-826629-2	СЩ 21А		
34. Съединител 1-826632-0	СЩ 20 2А		
35. Съединител 0-826629-6	СЩ 61А		
36. Съединител 2-166087-5	СД 50		
37. Съединител 142270-1	СОК-1А		